*Università degli Studi di Firenze*

# Complementi di Elettrotecnica

Corso di Laurea in Ingegneria Elettrica e dell'Automazione

Elaborato di Complementi di elettrotecnica:

## *Il quarto componente: il Memristore*


PROFESSORI:

***Antonio Luchetta***

***Alberto Reatti***

CANDIDATI:

***Marco Montagni***

***Nicolò Ventani***


*Anno Accademico 2012/2013*

# Indice

**Indice**.....2

Indice delle figure..... 4

**Introduzione ..... 6**

**1 - Le reti neurali ..... 8**

1.1 - La storia delle reti neurali ..... 8

1.2 - Il neurone ..... 12

1.3 - I modelli del neurone ..... 14

1.3.1 - Il neurone biologico ..... 14

1.3.1 - Il neurone artificiale ..... 15

1.4 - I modelli delle reti neurali..... 16

1.4.1 - La rete neurale a singolo strato ..... 17

1.4.2 - Rete neurale multistrato ..... 18

1.4.3 - Rete neurale di Hopfild..... 19

1.4.4 - Rete neurale ricorrente di Kohonen ..... 21

1.5 - Riflessione di fine capitolo ..... 22

**2 - Il quarto componente ..... 24**

2.1 - La storia del memristore ..... 25

2.2 - La realizzazione ..... 28

2.3 - Il funzionamento ..... 31

2.4 - Modelli e simulazioni ..... 33

2.4.1 - Il modello con JFET ..... 33

2.4.2 - Il modello con LDR ..... 36

2.4.3 - AND OR memristive ..... 38

2.4.4 - Macromodello ..... 40

2.5 - Applicazioni ..... 42

2.5.1 - Memorie ..... 42

2.5.2 - Sinapsi artificiali ..... 43

2.5.3 - CPU e non binario ..... 44

Conclusioni e sviluppi futuri ..... 45

Bibliografia ..... 46

# Indice delle figure

Figura 1 Configurazioni di neuroni tratte da (1) ..... 9

Figura 2 Assemblaggio di neuroni tratto da (2) ..... 9

Figura 3 Percettrone di Rosenblatt (3) ..... 9

Figura 4 Riconoscimento di immagini della rete di Hopfield (3) ..... 10

Figura 5 Immagine schematica del neurone e della sinapsi (5) ..... 12

Figura 6 Rete Feedforward multistrato ..... 18

Figura 7 Esempi di regioni decisionali tratte da (9) ..... 19

Figura 8 Rete ricorrente di Hopfield ..... 20

Figura 9 Rete neurale di kohonen tratto da (11) ..... 21

Figura 10 Albero sull'avanzamento tecnologico della microrobotica (12) ..... 23

Figura 11 Le relazioni fondamentali dei bipoli tratto da (13) ..... 25

Figura 12 Grogaggio del memristore tratto da (15) ..... 28

Figura 13 Memristore al microscopio ..... 29

Figura 14 Array di memristori tratto da (18) ..... 30

Figura 15 Crossbar latch (20) (13) (memoria a più bit indicizzata a "battaglia navale") ..... 30

Figura 16 Proposta di interconnessioni e struttura tratta da (19) ..... 30

Figura 17 Simbolo del memristore ..... 31

Figura 18 Caratteristica memristore tratta da (13) ..... 32

Figura 19 Caratteristica tensione corrente del memristore tratto da (21) ..... 32

Figura 20 JFET pilotato da integratore ..... 33

Figura 21 Grafici V/I con JFET ideale ..... 34

Figura 22 Caratteristica JFET J310 da Vgs -2.5V a 0.5V a passi di 0.5V ..... 34

Figura 23 Circuito JFET componenti reali ..... 35

Figura 24 Caratteristica V/I con ingresso da 0,4V a 0,8V e passi da 0,2V 0,5Hz ..... 35

Figura 25 Modello memristore con LDR ..... 36

Figura 26 Caratteristica V/I modello con LDR ingresso da 4V a 14V passi di 2V 20Hz ..... 37

Figura 27 Caratteristica V/I modello con LDR da 5Hz a 25 Hz passi da 5Hz 14V ..... 37

Figura 28 Modello memristore completo come sottocircuito ..... 38

Figura 29 Simulazioni porte logiche AND OR ..... 39

Figura 30 Macromodello di memristore tratto da (26) ..... 40

Figura 31 Macromodello Memristore con sottocircuito ..... 41

Figura 32 Simulazione macromodello V/I da 0.8V a 1.6V passi 0.1V 500Hz ..... 41

# Introduzione

Questa relazione si pone l'obbiettivo di fornire una panoramica sulle reti neurali biologiche e artificiali e su alcuni modelli del memristore.

Essendo un argomento di recente e notevole interesse sono stati cercati riferimenti biografici per evitare l'incongruenza delle informazioni.

Nel particolare è stata svolta una ricerca sulla storia delle reti neurali dagli anni '60 ad oggi, elencando le applicazioni che le adottano, richiamando alcuni cenni sui neuroni biologici studiandone la funzione di attivazione con relativi modelli, classificando le reti neurali ed integrando alcune metodologie per l'apprendimento.

E' stato svolto uno studio sul memristore, elencando la storia e le caratteristiche principali, anche sul significato che potrebbe avere ai fini pratici il componente. Infine sono state effettuate simulazioni con LTspice di alcuni modelli.

# 1 - Le reti neurali

L'uomo è sempre stato affascinato, nel corso della sua evoluzione, da tutto quello che lo circonda; cercando sempre di replicare, migliorare e applicare quello che la natura ci mostrava. Un po' come un albero abbiamo affondato le nostre radici nella matematica, fisica, chimica, meccanica e biologia partendo sempre da concetti elementari fino ad ottenere chiome sempre più rigogliose e sfaccettature di rami con applicazioni impensabili giungendo al mondo come lo conosciamo oggi. Radice dell'elettronica è solo una piccola parte della fisica ed è grazie a luminari della scienza che si ebbero i primi calcolatori programmabili che hanno portato uno sviluppo esponenziale in tutti i settori conosciuti. Resistenze, induttanze, capacità e valvole(in principio) unite con sapienza per ricreare un piccolo tassello di quella macchina tanto affascinante quanto complessa che ci distingue, con alcuni di più con altri meno, da tutti gli altri esseri viventi: il cervello.

Con il termine rete neurale è possibile intendere, al giorno d'oggi, una rete biologica e quindi appartenente ad un "sistema vivente" oppure una rete artificiale fatta da modelli matematici il cui comportamento simula una rete biologica e che può risolvere problemi di intelligenza artificiale. In questo capitolo è stato cercato di mostrare gli aspetti fondamentali delle reti neurali analizzando la loro storia e i modelli di reti neurali, fornendo una panoramica anche sull'addestramento cercando di inserire qualche cenno alle reti neurali biologiche.

## 1.1 - La storia delle reti neurali

Una delle caratteristiche che vengono spesso dimenticate quando si cerca di elaborare un argomento è proprio la sua storia. Difficilmente sarà possibile migliorarsi senza conoscere la storia di un componente, di uno strumento, o di un'idea.

- 1943 (1) "A logical calculus of the ideas immanent in nervous activity" è il testo che W.S. McCulloch e Walter Pitts elaborano dove schematizzavano matematicamente una sorta di operazionale in configurazione comparatore

con una somma pesata degli ingressi. Saranno i primi modelli adottati per descrivere il comportamento dei neuroni.

**Figura 1 Configurazioni di neuroni tratte da (1)**

- 1949 "The organization of behavior" D.O. Hebb psicologo scrive le basi dell'apprendimento tra le quali il riconoscimento di linee e associazioni di oggetti con riferimento agli studi e dati provenienti dalla fisiologia del sistema nervoso e sul comportamento umano aggiungendo una personale esperienza sul comportamento dei primati. (2)

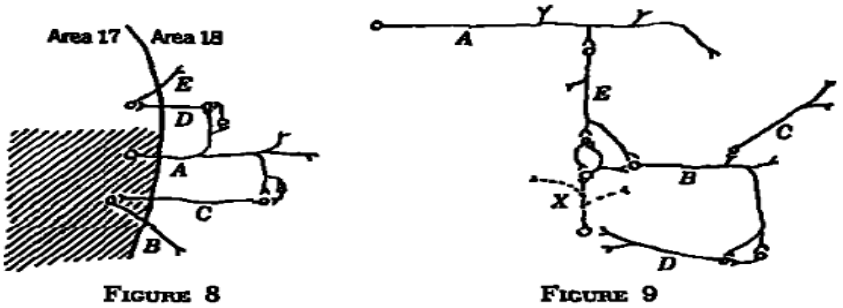



**Figura 2 Assemblaggio di neuroni tratto da (2)**

- 1958 F. Rosenblatt nel libro " "Phychological review" introduce il Peceptrone "Perceptron" per il riconoscimento di forme di immagini anche degradate riuscendo ad interpretare matematicamente l'organizzazione delle reti biologiche. In questo modello, molto simile all'attuale modello utilizzato nelle reti neurali, è evidenziato il fatto di poter modificare i pesi degli ingressi rispetto alla configurazione tipo comparatore a somme pesate fisse del 1943. La rete che ne deriva è quindi una rete capace di modificarsi ed essere utilizzata, dopo l'apprendimento, per diversi scopi: era riuscito a modellare una sorta di apprendimento.

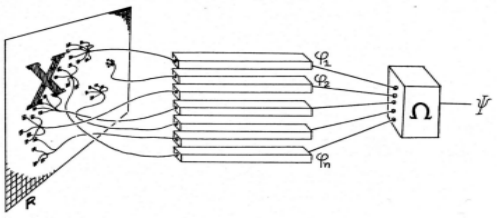


**Figura 3 Percettrone di Rosenblatt (3)**

- 1969 Marvin Minsky e Seymour A. Papert mostrano i limiti del modello a

singolo strato del 1958 nell'opera "An intruducion to computation geometry" dove non è possibile replicare la funzione XOR. Seguirono anni diffidenti all'approccio delle reti neurali anche se nel

- 1954 Paul Werbos, un matematico, nella sua tesi di dottorato stabilì il modo per addestrare le reti multistrato che ovviavano al problema posto nel 1969 e solo nel
- 1982 J. J. Hopfield studiando modelli di riconoscimento di pattern, successivamente chiamata comunemente rete di Hopfield, riscosse molto successo in ambito scientifico. Il suo lavoro, attualmente tra i più famosi, ritiene che un sistema fisico possa essere considerato come memoria se possiede più stati stabili, gli attrattori dei sistemi caotici, e formula un modello di neuroni estremamente interagente, dove basta che ogni neurone non sia connesso con se stesso per "ciclare" e dare instabilità: la prima rete neurale a più strati ricorrente e simmetrica che garantisce convergenza e quindi stabilità. Le applicazioni nel riconoscimento di forme anche da immagini degradate risultavano ottimi spunti di studi (3). Al giorno d'oggi esistono librerie per il riconoscimento di forme come le OpenCV che adottano vari filtri. Tra i più famosi i gaussiani o di gradiente di temperatura di colore, ma necessitano di una configurazione molto precisa sulla luce e risultano estremamente adatte al riconoscimento in ambienti controllati.

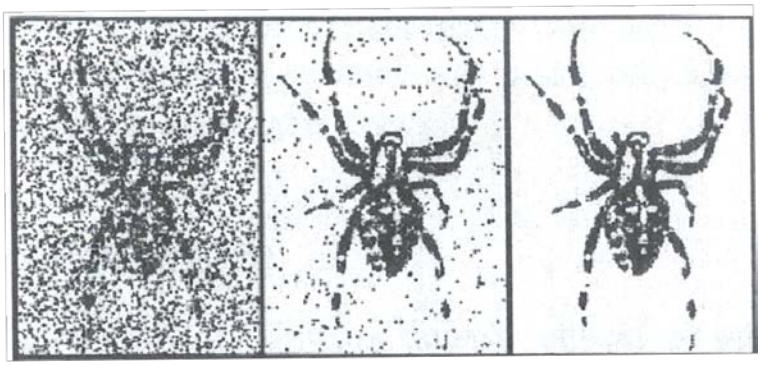


**Figura 4 Riconoscimento di immagini della rete di Hopfield (3)**

- 1986 David E. Rumelhart, G. Hinton e R. J. Williams propongano quello che diventerà uno dei metodi largamente usati per l'apprendimento di reti neurali ovvero la backpropagation che, approssimativamente, consiste in due fasi: la prima fase detta propagazione consiste nell'applicazione del vettore di ingresso di cui è conosciuta l'uscita voluta e quindi è possibile calcolare l'errore associato a tale vettore andando ad aggiustare(fase 2) in modo opportuno i pesi delle sinapsi nel verso opposto alla superficie dell'errore (4) (discesa del gradiente). Con questo metodo di apprendimento risulta fattibile anche il paradosso del calcolo della funzione Xor, ma è necessario addestrare la rete sapendo i valori di uscita desiderati. E' un metodo macchinoso che richiede diverse iterazioni ed è quindi necessario un calcolatore per l'analisi e iterare un ciclo, anche se attualmente grazie anche al Finlandese Teuvo Kohonen è stato decrementato il numero di iterazioni e ottimizzato il numero di collegamenti.
- Dopo la backpropagation, la ricerca in tutti i campi inerenti alle reti neurali

> aveva raggiunto un livello di maturazione tale da far susseguire altri metodi di apprendimento che gettarono le basi per le ricerche atte a mostrare le proprietà delle reti neurali e una serie di modelli dei processi psicologici associati all'apprendimento in analogia ad esse.

Successivamente furono ideate diverse tipologie di reti neurali adatte a scopi e con caratteristiche differenti, ma quasi per la totalità simulate dato che il metodo di apprendimento richiede diverse iterazioni e, fino a che non saranno messe a punto sinapsi artificiali hardware economiche, è probabile che l'utilizzo rimarrà di nicchia. Un passo in avanti è stato fatto di recente a riguardo con la realizzazione del memristore che molto probabilmente sarà oggetto di studi futuri integrandolo con l'aggiustamento dei pesi nelle sinapsi artificiali come è ampliamente descritto nel capitolo successivo.

Sono utilizzate con discreto successo anche come filtri di segnale nei microfoni per riconoscere il "respiro" dalle parole, per i sistemi di diagnosi del guasto, nella previsione di serie temporali, nel riconoscimento facciale, nei sistemi di allarme, nei problemi di inversione ad esempio per sapere la temperatura ai vari livelli dell'atmosfera dai dati dei satelliti, nelle Smart-Grid per la gestione della potenza e stanno trovando spazio in ogni settore con successo.

Attualmente i campi applicativi sono molteplici e forse a breve, con la riduzione del costo dell'elettronica integrata, arricchiranno molti altri dispositivi anche di uso comune.

## 1.2 - Il neurone

Il neurone è una cellula in grado di ricevere, integrare e trasmettere impulsi nervosi derivati da reazioni chimiche. E' il mattone elementare delle reti neurali biologiche. Insieme alla Glia o nevroglia: la rete di tessuto vascolare che fa' le veci dell'alimentazione di un circuito elettronico, costituisce il sistema nervoso. Quando un neurone viene attivato, manda un impulso elettrico-chimico ai neuroni con cui è connesso: l'operazione si ripete per ogni neurone e nell'intervallo di pochi centesimi di secondo intere regioni del cervello risultano interessate.

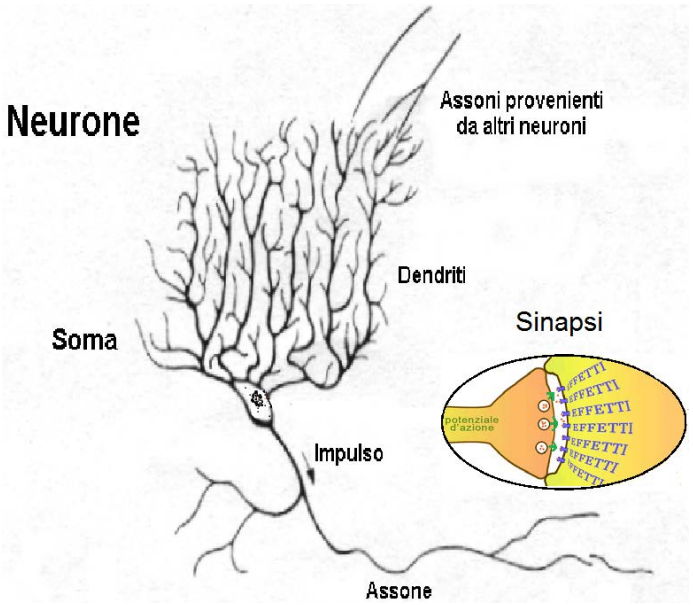



**Figura 5 Immagine schematica del neurone e della sinapsi (5)**

La cellula neurone della corteccia cerebrale dei primati, è formata da corpo cellulare chiamato soma, delle dimensioni tipiche di 5 − 100 μm, ma che in alcuni arriva anche circa 1cm considerando l'assone, e che se moltiplicata per la stima di tutti e 100 miliardi che compongono il nostro cervello potrebbe coprire oltre la distanza tra la terra e la luna. Solo con il microscopio elettronico e speciali reagenti chimici(tipo metilene o proteine di una medusa nell'originale video (6) fatto dall'università di Standford) che colorano particolari parti dei tessuti e rendono la visualizzazione riconoscibile ad un esame istologico è stato possibile districare in modo approssimativo le connessioni tra i neuroni e capirne la morfologia nella diversità delle aree celebrali(corteccia, ipotalamo ecc).

- Assone; è il canale identificabile come uscita, la lunghezza è molto variabile da circa 0.1 mm a qualche cm. È ricoperto da una guaina di materiale isolante (mielina) che riduce la capacità verso il fluido extracellulare aumentando la velocità con cui il segnale si propaga. Periodicamente si trovano delle interruzioni nello strato di mielina, dette nodi di Ranvier, in cui il segnale viene rigenerato.
- Dendriti(dal greco dendros: albero), una serie di ramificazioni che si assottigliano con la distanza dal corpo cellulare, identificabili come l'ingresso del neurone, il segnale si indebolisce più rapidamente che nell'assone forse per questo sono in prossimità del nucleo.
- Soma (in greco corpo) è l'insieme di tutti i dendriti del neurone.
- Il nucleo centrale che è simile alle altre cellule degli altri tessuti e non ha un carattere fondamentale nella trasmissione dell'informazione(o almeno per ora non è stata scoperta una correlazione)

Il neurone è immerso in una sostanza tipo elettrolita ricca di ioni di sodio mentre egli stesso è ricco di ioni di potassio. La concentrazione differente crea una differenza di potenziale tra l'interno del neurone e l'esterno chiamato potenziale di membrana. Il neurone subisce l'attività degli altri neuroni dai dendriti a cui esso è collegato tramite i contatti sinaptici agli assoni mediante neurotrasmettitori, acetilcolina e adrenalina, che funzionano con reazioni chimiche organiche. Tali reazioni differiscono molto sulla varietà del neurone stesso che può essere di vari tipi a seconda dello "strato" in cui si trova, benché il funzionamento generale risulti simile: infatti nel particolare tutte le sinapsi di tutti i tipi di neuroni hanno la capacità di "rafforzarsi" o di "allentarsi" andando a modificare i pesi delle connessioni delle reti neurali ed incidendo sul potenziale di membrana. L'effetto del potenziale di membrana che raggiunge una certa soglia è quello di modificare repentinamente la permeabilità della membrana attivando canali di ioni e favorendo un passaggio di ioni sodio verso l'interno creando un picco rapido di potenziale che si propaga e rigenera sull'assone eccitando con i rispettivi pesi sinaptici altri dendriti di altri neuroni. Il potenziale di attivazione differisce di intensità e tempo andando a modellare altri potenziali di attivazione tutti dipendenti da flussi di elettroni di sodio potassio e calcio come un controllo P.D. nel quale l'intensità del segnale di uscita dipende dall'errore, ma anche dalla derivata dell'errore che si riflette con una intensità e tempo d'attuazione(l'inseguimento) differenti. Non solo: la flessibilità della risposta di una rete biologica dipende anche dalla qualità dell'informazione stessa come per l'entropia di un messaggio delle comunicazioni elettriche che necessita di maggiore

ridondanza se è di raro accadimento andando a toccare un altro settore di studi e aumentando le difficoltà nel modello.

## 1.3 - I modelli del neurone

I modelli del neurone possono essere riferiti al neurone biologico o al neurone artificiale. Entrambi descrivono il funzionamento del mattone elementare delle rispettive reti neurali, ma ancora non esiste un modello artificiale le cui funzioni rispecchiano perfettamente il comportamento, o meglio i vari comportamenti, dei neuroni biologici.

### 1.3.1 - Il neurone biologico

Il modello (7) di Hodgkin-Huxley è un modello matematico che descrive il processo di polarizzazione della membrana cellulare. E' stato il primo modello creato per descrivere questo processo, per il quale i suoi scopritori, Alan Lloyd Hodgkin e Andrew Huxley, hanno vinto il Premio Nobel per la Medicina nel 1963. Questo modello è stato sviluppato da osservazioni sperimentali utilizzando gli assoni naturali dei calamari che sono tra i più grossi in natura.

Le equazioni :

$$\begin{cases} \boldsymbol{C\frac{dV}{dt} = g_{Na}m^3h(V - V_{Na}) - g_K n^4(V - V_k) - g_L(V - V_L) + I_a} \\ \boldsymbol{\frac{dm}{dt} = \alpha m(V)(1 - m) - \beta_m(V)m} \end{cases}$$

dove:

- C è la capacità della membrana
- $I_a$ è l'impulso elettrico esterno
- $\boldsymbol{g_j}$ sono le conduttanze ai vari ioni
- $V_i$ sono i potenziali di equilibrio

Che semplificato attingendo al modello fatto a lezione (8) :

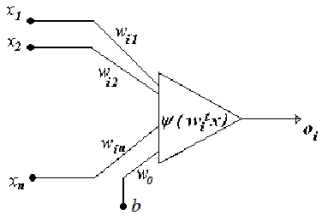
$$\begin{cases} \dot{x} = -x(x-a)(x-1) - y \\ \dot{y} = \epsilon(x - by) \end{cases}$$

Porta ad una interessante risoluzione dei punti di equilibrio e quindi del relativo studio della stabilità del sistema con i metodi matematici per la risoluzione dei sistemi dinamici.

### 1.3.1 - Il neurone artificiale

Il neurone artificiale deriva dall'osservazione del comportamento del neurone biologico.

Come detto in precedenza, il primo modello adottato di McCulloch e Pitt 1943, chiamato Perceptron è il seguente (5).




$o_i = \Psi(w_i^t x + w_0 b)$ in forma matriciale

$net_i = w_i^t x = \sum_{j=1}^{N_i} w_{i,j} x_j$ ingresso <u>*netto*</u> al neurone

L'immagine adottata attualmente per il neurone artificiale, come è possibile vedere, risulta simile ad un amplificatore operazionale comparatore. In particolare:

- $\Psi$ è la funzione di attivazione dell'uscita
- $o_i$ è l'uscita dell'iesimo neurone
- $w_i$ è il vettore dei pesi che deve essere modificato nell'apprendimento
- x è il vettore degli ingressi
- b input fisso del neurone che può essere ±1 a seconda degli ingressi e rispettivi pesi
- $N_i$ numero di elementi del vettore ingresso

Questo elemento, che può essere simulato in programmazione, ma che proposto in questa forma rimane un artificio matematico, potrebbe trattare segnali di tipo

analogico reale o analogico complesso e anche digitale. La funzione di attivazione potrebbe restituire un segnale di vario tipo racchiudibile in due categorie:

- Lineare e quindi descrivibile con il prodotto della matrice pesi e i rispettivi valori di ingresso moltiplicati per un coefficiente

$$o_i = \Psi(w_i^t x) = k w_i^t x$$

- Non lineare dove tra le più importanti trovano spazio PWL(spice/wiste linear):

$$o_i = \Psi(w_i^t x) = \begin{cases} 0 \; if \; w_i^t x \leq -1/2 \\ 1 \; if \; w_i^t x \geq +1/2 \\ w_i^t x \; if - 1/2 < \; w_i^t \; < +1/2 \end{cases}$$

Funzione segno:

$$o_i = \Psi(w_i^t x) = \begin{cases} -1 \; if \; w_i^t x < 0 \\ 1 \; if \; w_i^t x > 0 \\ 0 \; if \; w_i^t x = 0 \end{cases}$$

Sigmoide unipolare:

$$o_i = \Psi(w_i^t x) = \frac{1}{1 + e^{-\lambda w_i^t x}}$$

Analogica sigmoide polare

$$o_i = \Psi(w_i^t x) = \frac{2}{1 + e^{-\lambda w_i^t x}} - 1$$

Tralasciando l'intuitivo andamento grafico, tali funzioni sono implementate nelle varie tipologie di reti descrivendo comportamenti diversi e ideali per applicazioni differenti nei vari modelli di reti neurali descritte nel paragrafo successivo.

## 1.4 - I modelli delle reti neurali

Una rete neurale artificiale è un insieme connesso (in punti chiamati “nodi” della rete) costituito da unità di elaborazione fondamentali (neuroni artificiali) che sono

ispirate al neurone biologico. La capacità di una rete di elaborare informazione è racchiusa nell'entità delle connessioni inter-nodali (pesi sinaptici), che vengono generate da un processo adattativo (apprendimento) a partire da un insieme di campioni di addestramento.

Qualsiasi forma e connessioni delle reti neurali è possibile e fattibile attualmente dalle più complesse(fino ad arrivare alla capacità computazionale) alle più semplici e con le varie funzioni di attivazione mostrate in precedenza, ma il problema principale rimane lo stesso: l'apprendimento della rete stessa. Funzioni matematiche unite a processi iterativi svolgono spesso con tempi epocali(e ogni passo per l'aggiustamento dei pesi sinaptici si chiama epoca) quello che a ognuno di noi riesce autonomamente. Al giorno d'oggi vengono ancora raffigurate come una scatola chiusa nella quale si mandano ingressi e si "ascoltano" le uscite. La bontà della rete rimane quindi alla casualità delle prove e ottimizzazioni fatte "dall'architetto" che le modella e soprattutto dalla sua esperienza. Spesso, negli articoli letti, vengono chiamate black box proprio per questo fatto pur sapendo, con misurazioni intermedie sugli ingressi dei neuroni artificiali, come e in che modo reagiscono le unità neuronali o i grandi gruppi della corteccia celebrale che si attivano in modo caotico come i colori dati dal movimento casuale delle foglie di un albero al vento o le onde sulla superficie di una pozza mentre piove. Guardando, assaporando, ascoltando musica (soprattutto musica classica) siamo lontani dal capire dove e in che modo quei 100 miliardi di neuroni manifestano il pensiero, il ragionamento, l'io e la mente giocando a volte strani concetti di consapevolezza e dubbi su quanto si possa scavare e capire un fenomeno del quale sei parte.

### 1.4.1 - La rete neurale a singolo strato

La base delle rete neurali è data da questa tipologia di rete. Ingressi e uscite la cui funzione di attivazione è data da un singolo neurone intermedio. E' la tipologia di rete più facile da far apprendere, ma con delle grosse limitazioni ovvero non riesce a effettuare una semplice operazione logica come la Xor. Ne fanno parte il percettrone di Rosenblatt e descritto in precedenza e Adaline nel di Widrow-Hoff.

### 1.4.2 - Rete neurale multistrato

Una rete multistrato è una rete in cui due reti a singolo strato sono collegate tra loro come in figura formando una combinazione di ingressi uscita:

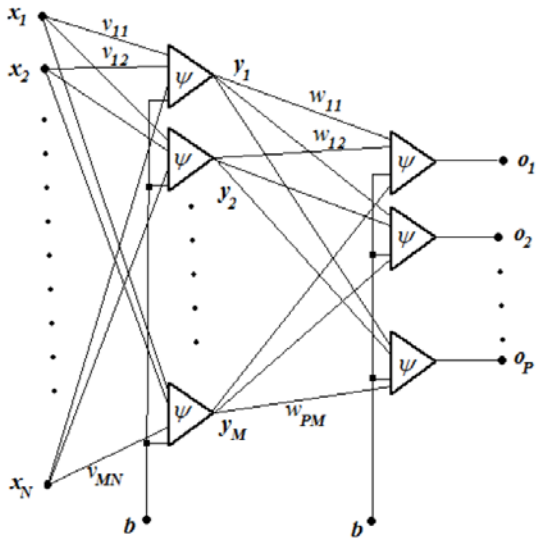



**Figura 6 Rete Feedforward multistrato**

L'apprendimento avviene innescando un processo iterativo della correzione dei pesi con lo scopo di minimizzare l'errore(backpropagation) del segnale di apprendimento conosciuto e dato in ingresso o con il metodo della discesa del gradiente (5):.

$$E = \frac{1}{2}\sum_{k=1}^{P}(d_k - o_k)^2 = \frac{1}{2}\sum_{k=1}^{P}\left(d_i - \Psi(w_k^t y)\right)^2$$

da cui si ottiene l'aggiustamento dei pesi:

$$\Delta w(t) = \eta\, r[w(t), x(t), d(t)]x(t)$$

Il metodo della discesa del gradiente è stato ultimamente migliorato con la tecnica del *metodo del momento*, che consiste nell'applicare un vettore moltiplicativo alla differenza dei pesi, e quindi all'errore, per far scendere più velocemente il peso sinaptico e quindi velocizzare l'apprendimento soprattutto nelle prime epoche dove il valore del gradiente risulta dello stesso segno in epoche successive. Nel momento in cui ci sarà una variazione di segno del gradiente si sarà nel lato opposto alla conca

del minimo dell'errore di quella componente di peso e il vettore moltiplicativo dovrà essere ridotto per trovare il minimo effettivo e non rimbalzare da un lato all'altro della conca di minimo. Inoltre, se si facessero passi piccoli, sarebbe possibile incappare in un minimo locale (un punto di flessione della caratteristica dell'errore che non è il minimo assoluto) fermando l'iterazione di aggiustamento dei pesi su un valore non ottimale per la minimizzazione dell'errore e che non rispecchia il minimo voluto. Una interessante riflessione di Lippman 1987 è la classificazione delle superfici di discriminazione nello spazio degli input in base ai livelli della rete come mostrato in figura (9):

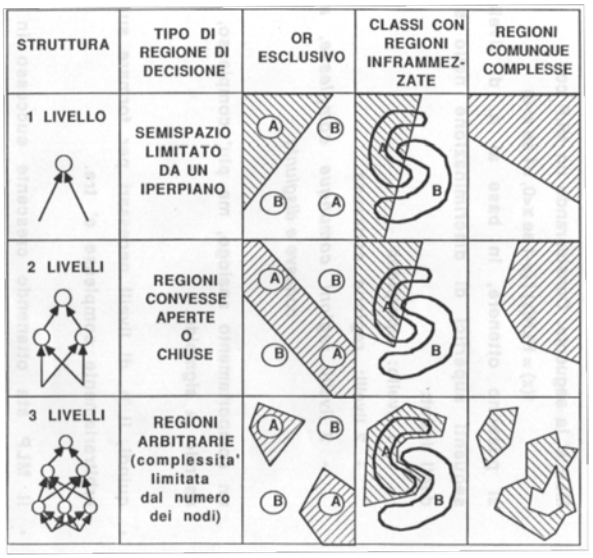



**Figura 7 Esempi di regioni decisionali tratte da (9)**

### 1.4.3 - Rete neurale di Hopfild

La rete di Hopfield è una tipologia di rete neurale ricorrente non stratificata caratterizzata dalla connessione di tutti gli elementi, i neuroni artificiali, meno che con se stessi. Ogni neurone comunica con gli altri tramite connessioni pesate comportandosi da input e output allo stesso tempo. L'algoritmo di addestramento segue la regola di Hebb del tutto simile ad una memorizzazione in stati attivi o disattivi in senso binario. Si evince una marcata predisposizione della rete alla memorizzazione e riconoscimento di figure anche degradate che la rete riconosce come "prossime" a quelle apprese precedentemente. I pattern appresi, una volta

trovati i rispettivi pesi tra i neuroni, fungono da attrattori del sistema mandando al riconoscimento del pattern la rete. (5)+varie

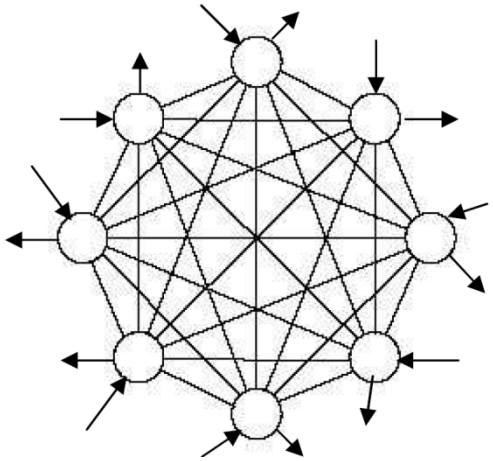


**Figura 8 Rete ricorrente di Hopfield**

Tale rete corrisponde ad una memoria associativa, infatti è possibile vedere, in corrispondenza dello stato stabile e quindi dell'apprendimento della rete, neuroni attivi o non attivi che rispecchiano i pixel di una data immagine in bianco e nero. E' probabile che per una immagine a colori sarebbero necessarie tre reti equivalenti ai tre colori verde, blu e rosso. La configurazione stabile corrisponde per altro alla minimizzazione della funzione di energia:

$$E = -\frac{1}{2}\sum_{\substack{i=1\\ i\neq j}}^{N}\sum_{\substack{j=1\\ j\neq 1}}^{N} w_{i,j}\, y_i y_j + \sum_{i=1}^{N}\theta_i y_i$$

Ottenuta ricorrendo alla regola di Hebb:

$$w_{i,j} = \begin{cases} \frac{1}{P}\sum_{p=1}^{P} x_i^p x_j^p \;\; if\ \text{ì} \neq j \\ 0\ altrove \end{cases}$$

Dove:

- P è il numero dei pattern di addestramento
- $w_{ij}$=$w_{ji}$ è il peso relativo alla connessione i-j o j-i simmetrica da 1 a N
- $x_i^{(P)}$ è l'input del neurone i-esimo fino a P

### 1.4.4 - Rete neurale ricorrente di Kohonen

La rete neurale di Kohonen è ispirata al funzionamento del cervello. Infatti i 100 miliardi di neuroni che lo compongono sono disposti a strati fino ad arrivare alla corteccia celebrale e sono morfologicamente caratterizzati da moltissimi dendriti e assoni più piccoli rispetto a quelli generici del lobo frontale, e che dialogano su uno strato spesso dai 2 ai 4mm, dipendente anche dall'età del soggetto, da qui il nome "corteccia" anche per il colore dato dal tessuto chiamato materia grigia. I solchi e scanalature presenti nella corteccia ne aumentano la superficie e quindi la capacità elaborativa rispetto ad altri mammiferi. Nel corso del tempo sono stati registrati i "malfunzionamenti" generici sensoriali/neuronali associandoli ad aree della corteccia celebrale e caratterizzando il funzionamento e le regioni di essa interessate dal pensiero, dall'olfatto, dall'udito, e da tutti gli stimoli esterni che percepiamo. Alcuni di essi sono connessi direttamente, mentre altri devono attraversare una parte della zona parietale e frontale prima di raggiungere la corteccia definendo vari campi architettonici del cervello fino ad arrivare alla zona centrale che gestisce il sistema nervoso autonomo, come nel caso dei muscoli dell'intestino, che è la zona più antica e presente quasi nella stessa struttura in tutti i mammiferi: l'ippocampo e il cervelletto nel quale arrivano le terminazioni nervose della colonna vertebrale del movimento muscolare e della pelle (10). Ci sarebbe moltissimo da dire a riguardo, ma questa introduzione, che spiega in modo approssimativo il sistema nervoso, è di aiuto a comprendere la similitudine con la rete di Kohonen.

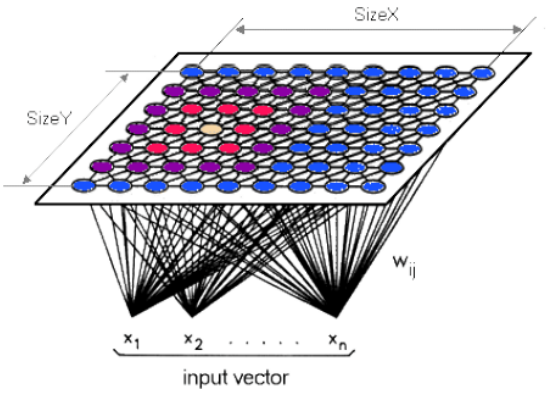



**Figura 9 Rete neurale di kohonen tratto da (11)**

Tale rete chiamata anche Self-Organizing Map o anche SOM è stratificata ed a differenza della corteccia celebrale che di norma è composta da circa 6 strati di neuroni prevede uno o due strati. Le connessioni sono di due tipi: feed-forward tra gli ingressi e i neuroni e feedback fra i neuroni dello strato superiore. Risulta essere un match tra la rete di Hopfield e quelle stratificate. Nello strato superiore le connessioni della versione originale sono calcolati ispirandosi al funzionamento della corteccia con una funzione a "cappello messicano" che fornisce valori dei pesi in funzione della distanza geometrica di essi. Ovvero osservando la figura 9 e considerando gli aggiustamenti dei pesi del neurone rosa è possibile che i pesi dei neuroni accanto(quelli rossi) avranno una influenza maggiore di quelli successivi (viola) mentre non influiranno quelli azzurri. L'algoritmo di apprendimento prevede di dare valori random tra 1 e 0 ai pesi dello strato di input, poi calcola la distanza euclidea tra gli ingressi e i neuroni di uscita. Successivamente si applica la regola dell'apprendimento competitivo per stabilire la posizione del neurone "vincente" ovvero quello a distanza euclidea minima o ad uscita massima e corregge i pesi dei neuroni appartenenti al suo vicinato.

## 1.5 - Riflessione di fine capitolo

Valutando la storia delle reti neurali è possibile associare l'evoluzione naturale della ricerca di molti settori all'evoluzione che le descrivono. Infatti risulta essere un tema multidisciplinare che tocca varie nicchie (al principio) di materie che nel tempo e con gli studi sono diventate attualmente veri e propri corsi di studi universitari. Sicuramente la psicologia che descrive i metodi di apprendimento (con i piccioni di Skinner) ed i processi associativi. La neurologia unita alla biologia che descrive il comportamento dei neuroni biologici grazie alla chimica che li/ci governa dal cui modello sono state ispirate le reti artificiali e i segnali studiati con la teoria delle reti elettriche. Tutto regolato e verificato grazie alla potenza della logica razionale matematica unita al metodo sperimentale che è la base della scienza. A queste si unisce indiscutibilmente la capacità di calcolo dei moderni computer che consente simulazioni rapide e calcoli esatti. In principio avevo parlato di una sorta di albero che non mi sento di strutturare data la complessità della materia in esame, ma che

potrebbe essere spunto per una futura immagine che in analogia alla microrobotica risulta essere di struttura simile a questa:

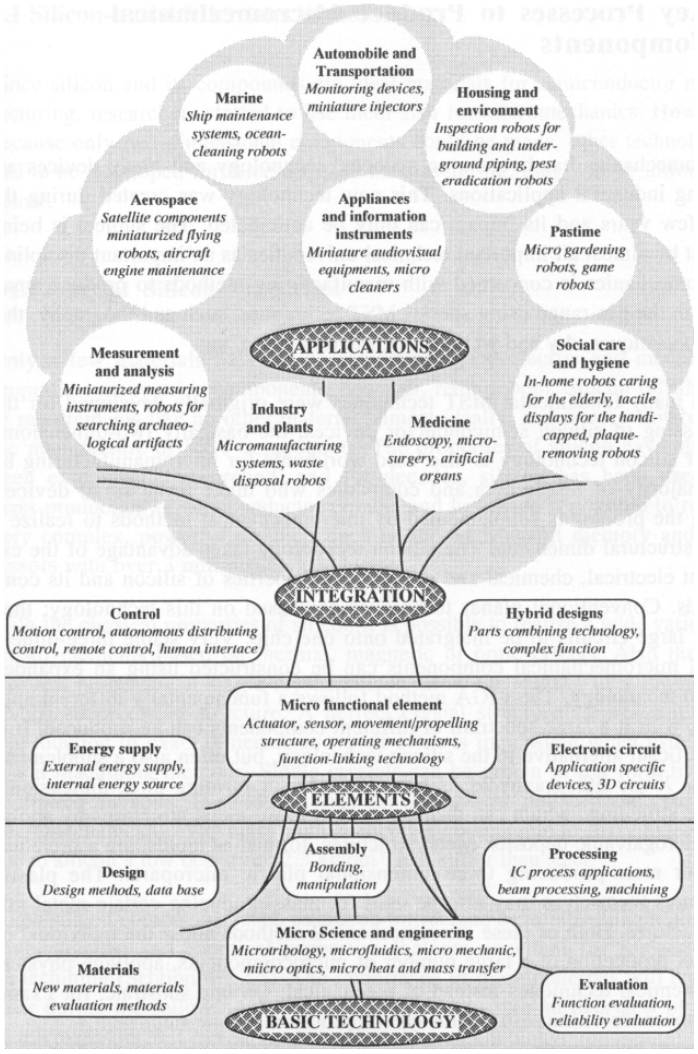



**Figura 10 Albero sull'avanzamento tecnologico della microrobotica (12)**

# 2 - Il quarto componente

In elettronica e nello specifico nella teoria dei circuiti sono di riferimento emblematico tre componenti, detti bipoli: con due terminali, passivi, ovvero quei componenti circuitali che non sono in grado di erogare più energia di quanta ne assorbono. Il Resistore definito abbondantemente dalla prima e seconda legge di Ohm, la prima che mette in relazione tensione resistenza e corrente(facile da ricordare con Viva la Repubblica Italiana V=RI) e la seconda legge di Ohm che definisce la resistenza come rapporto tra la lunghezza, direttamente proporzionale, e sezione, inversamente proporzionale, per un coefficiente moltiplicativo dipendente dalla resistenza specifica del materiale in oggetto. L'induttore che si oppone alle variazioni di corrente composto da spire di materiale conduttivo isolate tra loro su un nucleo ferromagnetico, che genera una differenza di potenziale data dalla variazione del flusso che raccoglie sulle stesse spire che l'hanno generato(con due avvolgimenti distinti si ha un trasformatore che in ogni caso si autocalibra sugli stessi principi). Il condensatore composto da due placche molto vicine tra loro, che si oppone alla variazione di tensione con la corrente che assorbe o cede.

Le quattro variabili fondamentali che legano il funzionamento di componenti sono corrente, tensione, flusso e carica. La corrente che è definita come la derivata nel tempo della carica, la tensione ovvero la derivata nel tempo del flusso e i rispettivi inversi con l'integrale. Queste quattro unità sono messe in relazione con i bipoli fondamentali: la tensione con la corrente tramite la resistena $dv=Rdi$, la carica e la tensione tramite la capacità $dq=Cdv$ e la corrente con il flusso tramite l'induttore $d\Phi=Ldi$. Tali relazioni sono sempre verificate a patto che le dimensioni dei bipoli siano trascurabili rispetto alla lunghezza d'onda infatti a meno di lavorare ad alta frequenza spesso si omette la condizione di lavorare a parametri concentrati.

Il professore Leon Chua, che lavora nell'università della California (ed i cui studi sono anche rivolti ai sistemi dinamici non lineari ed in particolare il "Butterfly Effect" con il celebre "Chua circuits"), ha unito alla filosofia Aristoteliana dei quattro elementi terra acqua aria e fuoco l'analogia delle quattro relazioni elettriche

fondamentali. Nel 1971, ipotizzò la sesta relazione che lega il flusso e la carica con un quarto bipolo che chiamò Memristor data la sua predisposizione, data dal vincolo di analogia alle altre relazioni, di comportarsi come una resistenza con effetto di memorizzare il suo valore. Una raffigurazione schematica di quanto detto è rappresentata in figura:

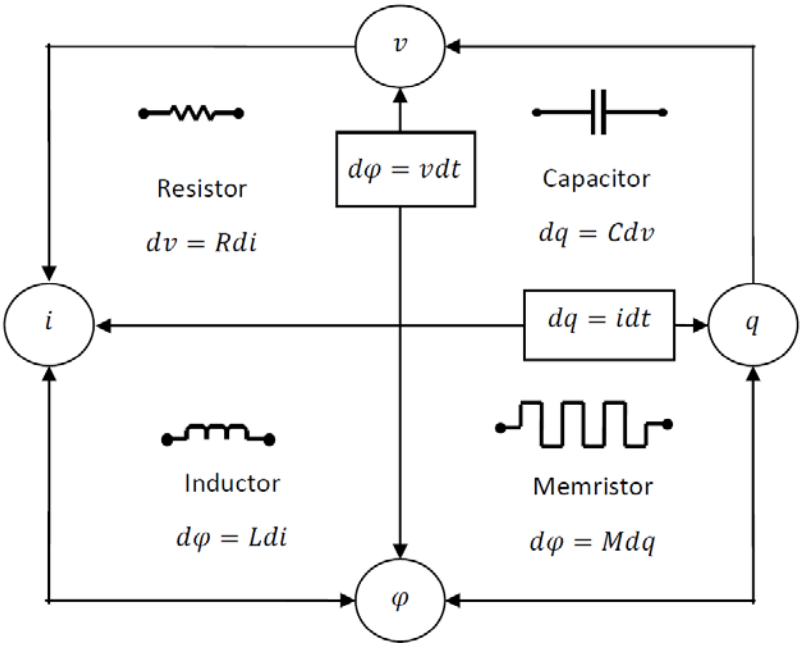



**Figura 11 Le relazioni fondamentali dei bipoli tratto da (13)**

Questo capitolo cercherà di trattare in modo esaustivo il memristore.

## 2.1 - La storia del memristore

La storia del memristore è di recente evoluzione dato che non era stato ideato fino a dopo la metà del XX secolo, ma è evidente che dopo la realizzazione integrata da parte di HP lab tutta la comunità scientifica ha percepito con grande interesse questo componente. Nell'IEEE è presente un wiki che descrive la storia degli articoli scientifici su tale dispositivo (14) e dal quale ho preso spunto.

- 1967 J.G Simmons e R.R. Verderber pubblicano un articolo dal titolo "New conduction and reversible memory phenomena in thin insulating films" dove descrivono il comportamento di isteresi resistiva di un film sottile di ossido di silicio e ioni di oro.

- 1971 Leon Chua postula il quarto bipolo caratterizzato dal rapporto tra carica e flusso scrivendo il celebre articolo "Memristor-the Missing Circuit Element" pubblicato in IEEE.

- 1976 Lo stesso Chua con il suo allievo Sung Kang pubblicano "Memristive Devices and Systems" generalizzando la teoria dei sistemi a effetto memoria e la proprietà del passaggio per lo zero della caratteristica tensione-corrente.

- 1986 passano 10 anni e Robert Johnson e Stanford Ovshinsky brevettano una matrice a commutazione di fase riconfigurabile che utilizzeranno nell'HP lab per la realizzazione del memristore.

- 1990 S. Thakoor A.Moopenn T.Daud e AP Thakoot pubblicano "Solid-state thin-film memistor for electronic neural networks" il memristore viene utilizzato per la prima volta in abbinamento alle reti neurali, anche se non era ancora stato integrato, per la variazione dei pesi sinaptici senza però fare esplicito riferimento agli articoli di Chua.

- 1993 Katsuhiro Nichogi, Akira Taomoto, Shiro Asakawa, Kunio Yoshida brevettano un circuito artificiale con funzione neuronale formata da due terminali organici sottili.

- 1994 FA Buot e AK Rajagopal pubblicano sulla gazzetta di fisica applicata un articolo" Binary information storage at zero bias in quantum-well diodes" dimostrando l'esistenza di un memristore caratterizzato da drogaggio Alas/GaAs/AiAs quantica e diodi con caratteristica tensione corrente, ma gli autori non conoscano l'articolo di Chua sul memristore e sembra che non vi sia alcuna connessione diretta.

- 1998 2 giugno Michael Kozicki e William West, Axon Tecnologies Corp, brevettano una cella a metallizzazione programmabile che consiste in un conduttore di ioni tra due o più elettrodi e la cui resistenza o capacità è funzione della crescita o dissoluzione di un "dendrite"metallico. Il funzionamento è simile a quello del memristore.
  3 giugno Bhagwat Swaroop, William West, Gregorio Martinez, Michael Kozicki e Akers Lex pubblicano "Programmable Current Mode Hebbian Learning Neural Network Using Programmable Metallization Cell" definendo che la complessità di una sinapsi artificiale può essere minimizzata utilizzando un dispositivo a resistenza programmabile.
  12 giugno James Heath, Philip Kuekes, Gregory Snider, and Stan Williams, dell'HP lab pubblicano "A Defect-Tolerant Computer Architecture: Opportunities for Nanotechnology" ed illustra come fabbricare chimicamente un elemento a due terminali in una configurazione trasversale e prevedere la tolleranza, ma non fanno riferimento al memrisotre.

- 2000 A. Beck, J. G. Bednorz, Ch. Gerber, C. Rossel, e D. Widmer ricercatori dell'IBM lab di Zurigo, descrivono nell'articolo "Reproducible switching effect in thin oxide films for memory applications" degli interruttori che sono indicati come aventi caratteristiche simili a isteresi memristiva ma non si

fanno riferimenti al memristore.

3 ottobre Philip Kuekes, Stanley Williams, e James Heath di HP lab brevettano un bipolo simile, ma non fanno riferimento al memristore.

- 2001 Shangqing Liu, NaiJuan Wu, Xin Chen, e Alex Ignatiev ricercatori dell'università di Houston presentano i risultati di una ricerca a San Diego con il nome "A New Concept for Non-Volatile Memory: The Electric Pulse Induced Resistive Change Effect in Colossal Magnetoresistive Thin Films"
  e sembra essere la prima identificazione dell'importanza di doppi strati di ossido, nessuna spiegazione è fornita ma discutano le curve di Lissajous con riferimento a Chua.

- 2005 Darrell Rinerson, Christophe Chevallier, Steven Longcor, Wayne Kinney, Edmond Ward, e Steve Kuo-Ren Hsia brevettano una resistenza con accensione a base di ossidi metallici, ma ancora non fanno riferimento al memristore.
  Stanford Ovshinsky brevettano un sistema che descrive una rete neurale sinaptica basata su cambiamento di fase, nelle note tecniche fanno riferimento a Chua ma non alla teoria del memristore.

- 2007 10 agosto Gregorio Snider di HP lab brevetta una resistenza a due terminali in architettura di elaborazione riconfigurabile e il 10 aprile pubblica l'articolo "Self-organized computation with unreliable, memristive nanodevices" dove discute l'importanza di dispositivi memristivi per il riconoscimento di forme con architetture circuitali riconfigurabili.
  10 agosto Blaise Mouttet brevetta gli usi per il trattamento di segnali, sistemi di controllo e comunicazione con dispositivi a commutazione di resistenza.

- 2008 15 aprile Dmitri Strukov, Gregory Snider, Duncan Stewart, e Stan Williams di HP lab pubblicano "The missing memristor found" dove riconoscano il loro dispositivo come l'atteso memristore e ne descrivono il funzionamento in riferimento alla teoria di Chua.

Dal 2008 ad oggi tutta la comunità scientifica guarda con moltissimo interesse lo sviluppo del memristore, e ad oggi fioccano i brevetti e pubblicazioni, soprattutto in abbinamento alle reti neurali artificiali e per sistemi adattativi, che attualmente sono implementate principalmente via software dando un nuovo slancio alla ricerca in questo settore e affinando le tecniche sia per la realizzazione in scala nanometrica, che dovrebbe partire a breve dalla collaborazione di HP con Hynix per memorie Re-ram non volatili, sia nella implementazione delle tecniche di apprendimento. Inoltre non sono mancate le rivendicazioni da parte di alcuni laboratori che avevano brevettato o pubblicato componenti simili, ma che non avevano descritto il funzionamento con l'esplicito riferimento alla teoria del memristore.

## 2.2 - La realizzazione

La realizzazione di dispositivi elettronici è correlata al costo di produzione e al valore commerciale che ne deriva. Basti pensare ai dispositivi integrati attuali che nonostante possano integrare resistenze di valore preciso è preferibile utilizzare transistor MOS polarizzati nell'equivalente resistenza per ridurre lo spazio sul wafer di silicio e conseguentemente ridurre i costi di produzione per far entrare più componenti o più processori nella stessa dimensione dei wafer. Ultimamente sono anche stati maggiorati di diametro consentendo un numero di dispositivi integrati per wafer maggiore oltre alla riduzione delle dimensioni del gate dei transistor MOS che è praticamente diventata l'unità di misura della tecnologia di realizzazione ottenuta per mezzo di luce ad una lunghezza d'onda sempre più alta per evitare imprecisioni sull'eliminazione del photoresist e delle relative maschere. Ottenendo piste e definizioni maggiori riducendo i costi, si riduce anche l'energia trasformata in calore della commutazione delle elementari celle not sulla capacità parassita del gate dei MOS. Per questa ragione, anche se i memristori erano già implementati a livello hardware, ma richiedevano diversi componenti integrati a seconda del modello, la produzione di circuiti integrati per il loro utilizzo si fermava a livello accademico e sperimentale, ed era difficile pensare un utilizzo in larga scala in sostituzione ad alcuni componenti per la realizzazione del top business: calcolatori e cellulari.

In disaccordo con le immagini di altri memristori, dall'articolo dell'HP lab (15) è descritta la realizzazione e le basi teoriche dal quale ho preso spunto. Per realizzare un memristore è stata usata una pellicola molto sottile di biossido di titanio (TiO2).

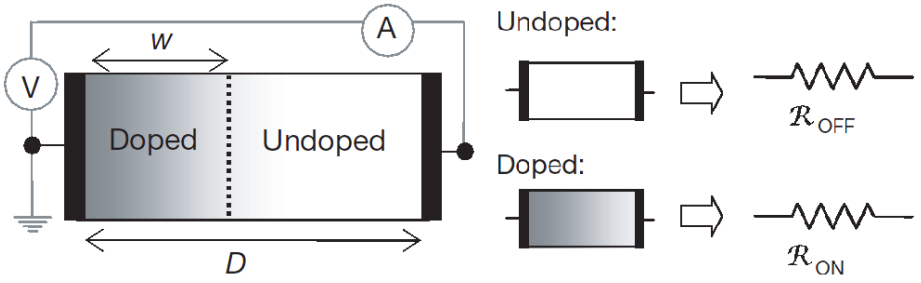



**Figura 12 Grogaggio del memristore tratto da (15)**

Il film sottile è a sandwich tra due contatti e una parte del TiO2 drogata con ossigeno. Il TiO2 da un lato è drogato mentre dall'altro non è presente drogaggio. In Figura, D è la lunghezza del dispositivo e w è la lunghezza della regione drogata. Il TiO2 è un semiconduttore ad alta resistività. Quando una tensione positiva è applicata, le cariche positive dello strato TiO2 drogato(Ron) sono respinte e si muovono verso lo stato di TiO2 non drogato(Roff). Dunque il confine tra materiali (drogati e non drogati) si muove, causando un aumento della percentuale di conduzione dello strato drogato TiO2. Questo diminuisce la resistenza di tutto il dispositivo. Quando una tensione negativa è applicata, le lacune dell'ossigeno sono attirate dallo strato TiO2 drogato e lui stesso si comporterà più da isolante aumentando la resistività di tutto il dispositivo. Quando non c'è tensione applicata, le vacanze dell'ossigeno non si muovono. Il confine tra i due strati è congelato. In questo modo il memristore rimane in conduzione o no.

Una classica immagine della realizzazione del memristore al microscopio presente in molti siti internet e riviste è quella sottostante.

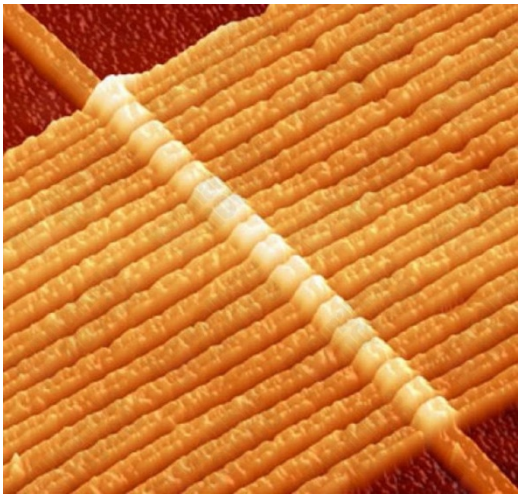


**Figura 13 Memristore al microscopio**

In lieve disaccordo con la spiegazione dell'HP lab, ma è probabile che per via di accordi tra società cerchino di mantenere un profilo basso per l'imminente commercializzazione e la relativa possibile copia da parte di altre aziende, oppure l'immagine rappresenta un'array di 17 memristori come è spiegato in (16) e quello che si vede sono solo i collegamenti in platino lunghi 50nm(mosfet attuali 27nm).

L'interessante struttura sembra, infatti, affermarsi come array in altri articoli scientifici (13) (17) (18) (19) dove è presente anche una correlazione tra gli strati sovrapposti e il valore memristivo consentendo una sorta di dialogo le cui applicazioni potrebbero essere di memoria (ReRam: Resistevive Random Access Memory) e in futuro connessione tra più sinapsi artificiali.

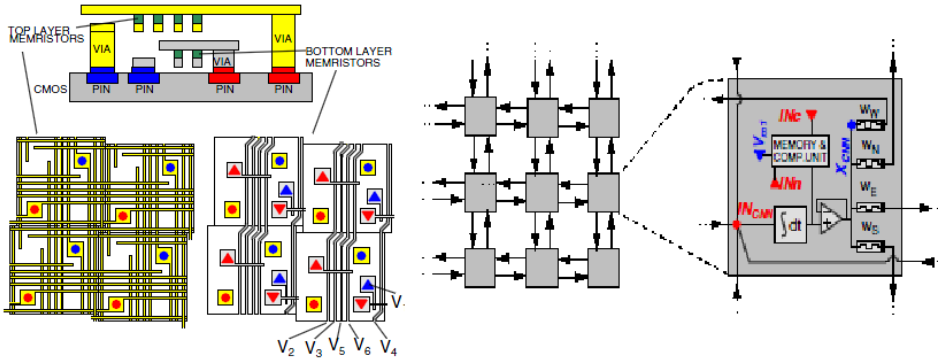



**Figura 14 Array di memristori tratto da (18)**

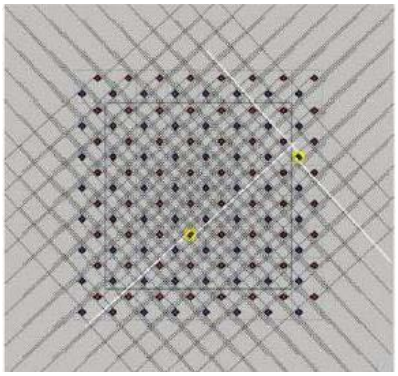


**Figura 15 Crossbar latch (20) (13) (memoria a più bit indicizzata a "battaglia navale")**

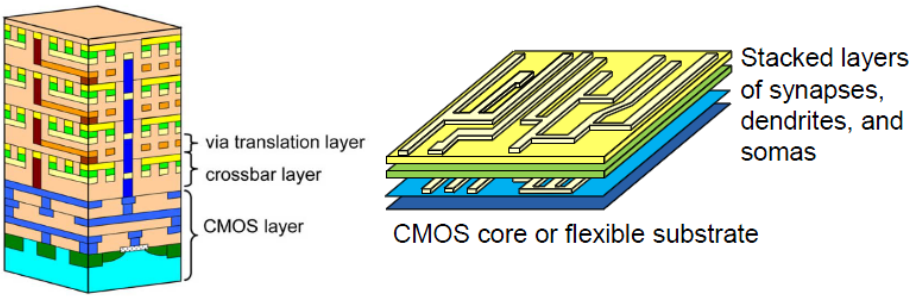



**Figura 16 Proposta di interconnessioni e struttura tratta da (19)**

## 2.3 - Il funzionamento

Il memristore è un bipolo nel quale la variazione di carica, la corrente, dà luogo ad una variazione di flusso magnetico e quindi ad una tensione, che si manifesta ai capi del componente.

Il rapporto tra la differenza di potenziale e la corrente prende il nome di memristenza.

Il memristore ha la proprietà di memorizzare ipoteticamente per molto tempo lo stato elettronico di conduzione o interdizione dato che si tratta di un dispositivo a semiconduttore.

Il simbolo proposto da Chua e che è divenuto quello ufficiale, è rappresentato dall'immagine sottostante, raffigura una sorta di resistenza a gradini e quindi dal funzionamento che richiama caratteristiche di non linearità:

**Figura 17 Simbolo del memristore**

Come per gli altri bipoli è possibile trovare la funzione caratterizzante.

Nello specifico in funzione della carica si ottiene il flusso o del flusso dalla quale si ottiene la carica (13):

$$\varphi = f(q)$$
$$q = f(\varphi)$$

Il cui grafico corrispondente e del componente passivo ,ovvero con $\mathrm{M(q)} \geq 0$ analogo ad una resistenza che dissipa energia, è il seguente:

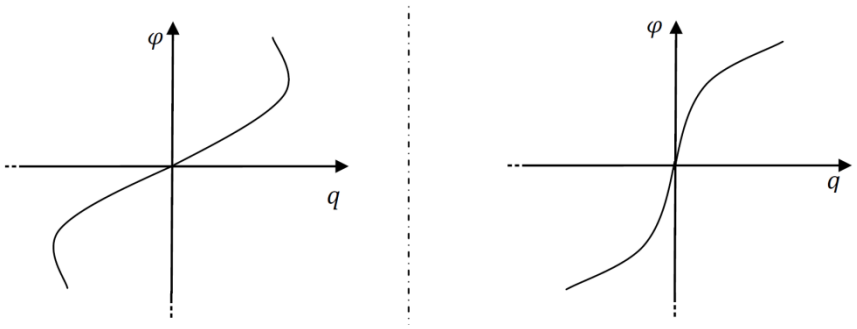



**Figura 18 Caratteristica memristore tratta da (13)**

Derivando entrambi i termini della prima equazione rispetto al tempo è possibile ottenere la funzione memristenza M(q):

$$\frac{d\varphi}{dt} = \frac{df(q)}{dq}\frac{dq}{dt}$$

E' anche possibile scrivere l'espressione in funzione della tensione e della corrente:

$$v(t) = \frac{df(q)}{dq} i(t)$$

ed il relativo celebre grafico dove la caratteristica con l'8 più largo è a bassa f:

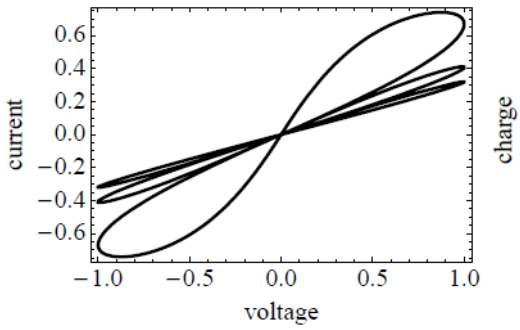



**Figura 19 Caratteristica tensione corrente del memristore tratto da (21)**

La funzione memristenza è data da:

$$M(q) = \frac{df(q)}{dq}$$

Per altri riferimenti e osservazioni (13).

# 2.4 - Modelli e simulazioni

Sono disponibili svariati modelli in articoli scientifici per ricreare il comportamento del memristore con elementi circuitali già noti. La caratteristica tipica di resistenza con isteresi data dal grafico V/I sarà la caratteristica cercata in ogni modello studiato in quanto è più difficile trovare una relazione sul flusso e carica direttamente e il grafico che si crea a forma di "8" rappresenta le due rette con pendenza diversa che sono i due valori di resistenza R=V/I memorizzati. Infatti caratterizzando una semplice resistenza si avrebbe una retta, che si ottiene sui modelli del memristore ma ad alta frequenza. In questo capitolo sono state fatte simulazioni con LTspice.

## 2.4.1 - Il modello con JFET

Dalle relazioni che descrivono il funzionamento del memristore si evince una relazione integrale tra la carica e la resistenza. Come è descritto in (22) da cui ho preso spunto, ed in analogia ai circuiti elementari dell'elettronica, un modello intuitivo del memristore potrebbe essere ottenuto andando a modificare la tensione del gate di un transistor ad effetto di campo JFET con un operazionale in configurazione integratore sul segnale stesso prelevato dai terminali del JFET. La caratteristica dei JFET, dovendo rappresentare una resistenza, dovrà essere collocata nella regione lineare e non in saturazione in quanto si avrebbe un'abbondante deformazione della caratteristica voluta.

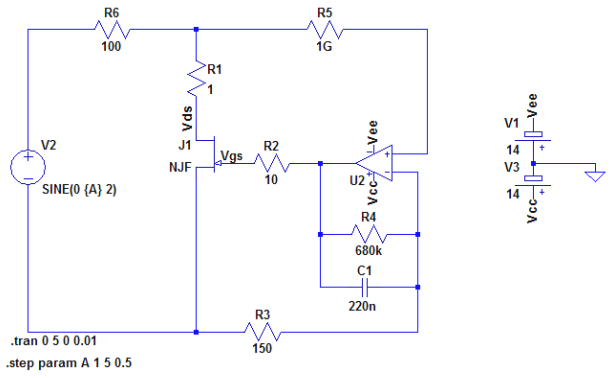



**Figura 20 JFET pilotato da integratore**

Un basilare schema fatto con componenti ideali è quello in figura 20 e il cui comportamento e caratteristica sono molto simili a quelli del memristore creato da hp come è possibile vedere dal grafico sottostante fatto variando l'ampiezza in ingresso (Vds) da 1 a 5V a passi di 0,5V :

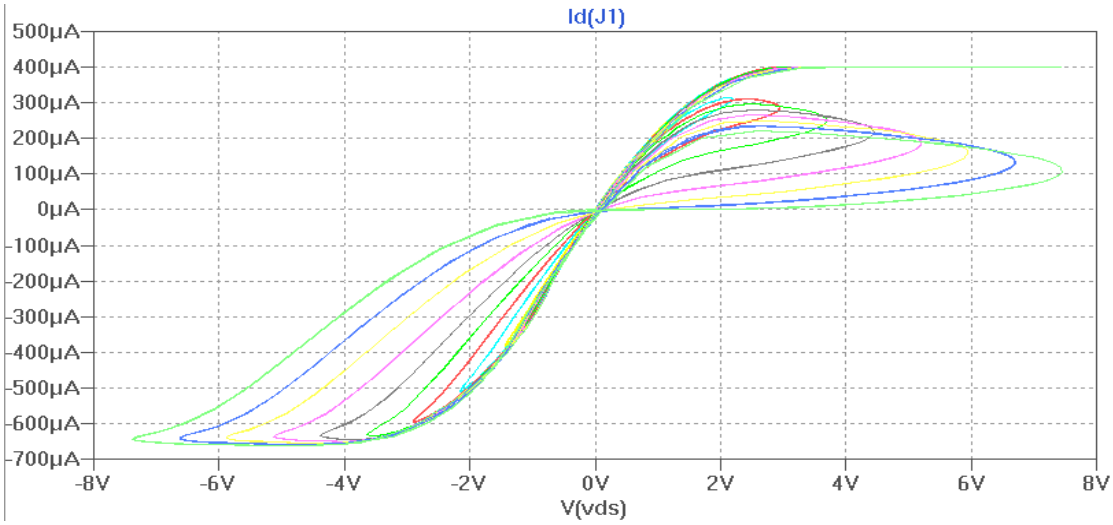



**Figura 21 Grafici V/I con JFET ideale**

Con la Vds da -4V a -6V e da 4V a 6V si ha una deformazione dovuta dalla caratteristica del JFET. Inserendo componenti reali questa caratteristica diviene estremamente deformata e per far lavorare il transistor nella zona lineare avendo altri accorgimenti il circuito si complica leggermente anche se alla base c'è quanto detto. Infatti prendendo la caratteristica del JFET usato (22) è possibile vedere una deformazione già con +0,5V rappresentata della riga viola.

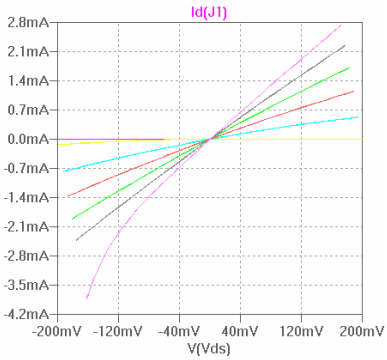



**Figura 22 Caratteristica JFET J310 da Vgs -2.5V a 0.5V a passi di 0.5V**

Dunque per evitare una deformazione il transistor deve lavorare nei parametri stabiliti. La figura sottostante rappresenta il circuiti per il modello.

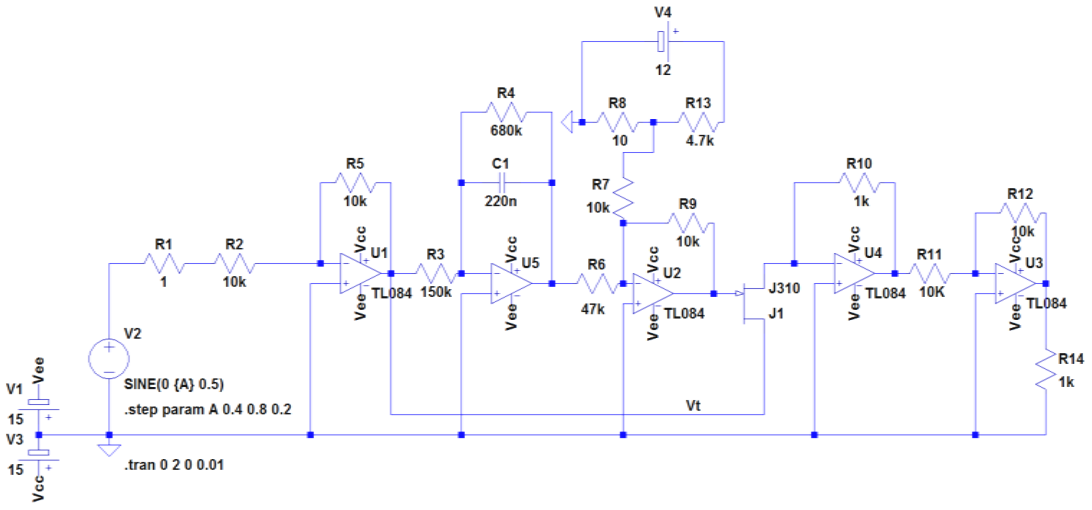



**Figura 23 Circuito JFET componenti reali**

Il primo operazionale in configurazione invertente sfasa il segnale di 180° e funziona da buffer in modo da non perturbare l'ingresso. Il secondo operazionale in configurazione integratore può modificare l'integrazione con la resistenza R4.

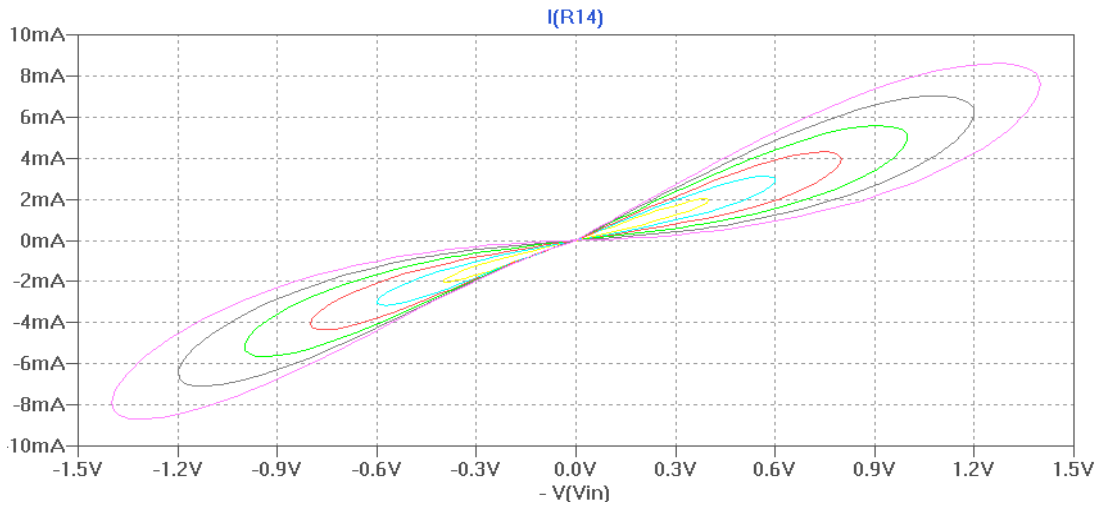



**Figura 24 Caratteristica V/I con ingresso da 0,4V a 1,4V e passi da 0,2V 0,5Hz**

Il terzo stadio sommatore ha il compito di mandare il segnale integrato su un livello non distorcente per il transistor. Tale livello dipenderà anche dall'ampiezza del segnale in ingresso e nel reale potrebbe essere aggiustato ponendo un potenziometro

al posto della resistenza R8. Lo stadio successivo crea una caduta di tensione con retroazione di corrente sulla resistenza mostrata dal transistor e l'ultimo stadio risfasa il segnale donando il segno corretto. Le simulazioni hanno mostrato una ottima caratteristica del modello anche se per piccoli intervalli di ampiezza e frequenza relativi alla deformazione del transistor. Nella figura 24 è mostrata la caratteristica del modello del memristore che risulta molto buona anche utilizzando i modelli di componenti reali.

### 2.4.2 - Il modello con LDR

Un'altro interessate modello trovato nell'IEEE (23) prevede l'utilizzo di un LDR, ligth dependent resistor, un piccolo integrato a quattro pin composto da un led che illumina una fotoresistenza che varia la propria resistenza in relazione alla corrente che scorre sul diodo led interno. Questo modello non ha bisogno di polarizzazioni particolari e risulta più semplice del precedente.

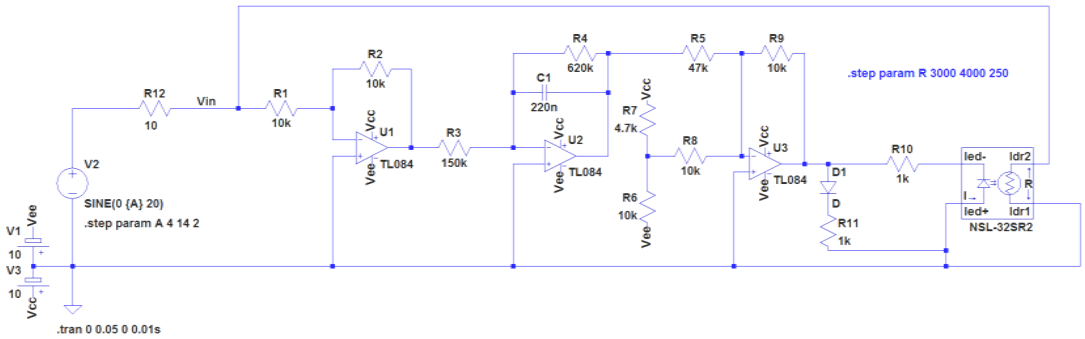



**Figura 25 Modello memristore con LDR**

Il primo stadio è un buffer che non perturba l'ingresso data la sua altissima impedenza e fornisce la corrente allo stadio successivo per la carica e scarica del condensatore per l'integratore analogamente al modello precedente. Il terzo stadio è un sommatore che manda l'uscita su un livello sempre in conduzione del diodo e relativo ad una corrente che varierà la resistenza interna dell'LDR. Il diodo D1 è un diodo di protezione per evitare che l'ingresso del sommatore con le resistenze R7 e R6 portino su un livello alto l'uscita che danneggerebbe il diodo interno all'LDR. La

resistenza R10 fa circolare una corrente limitata e setta il punto di lavoro per far andare il diodo led in conduzione infatti cambiando LDR sarà possibile adattarlo modificando solo quella resistenza e conoscendo un punto di forte linearità modificando i valori di R6 e R10. Dato che si tratta di una resistenza variabile i valori di tensione sopportabili cadono in un range molto più ampio di altri modelli anche se è presente una lieve dissimmetria anche in questo modello.

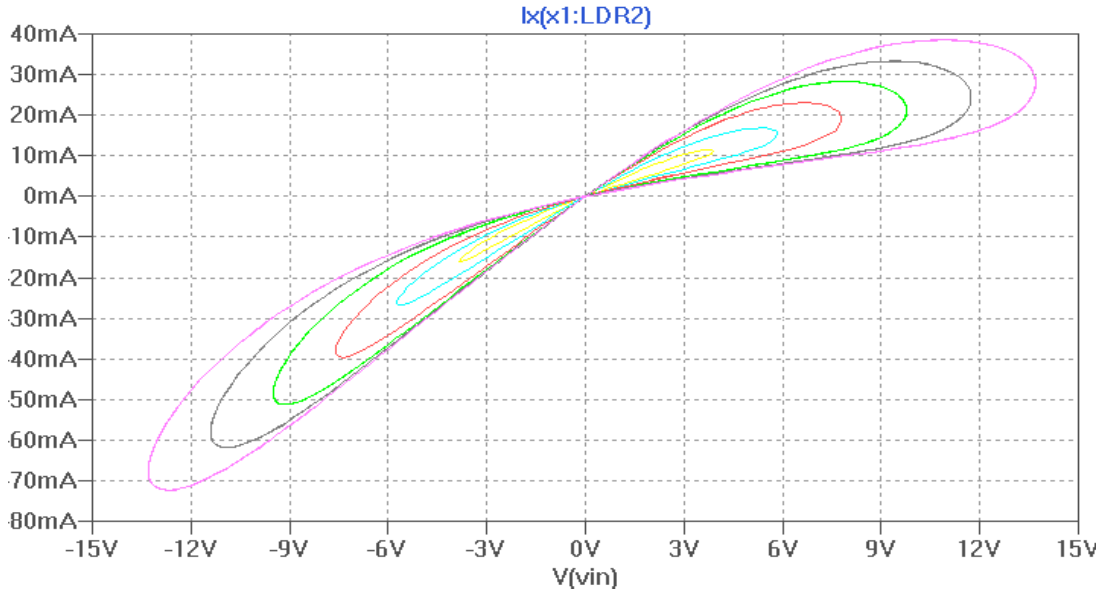



**Figura 26 Caratteristica V/I modello con LDR ingresso da 4V a 14V passi di 2V 20Hz**

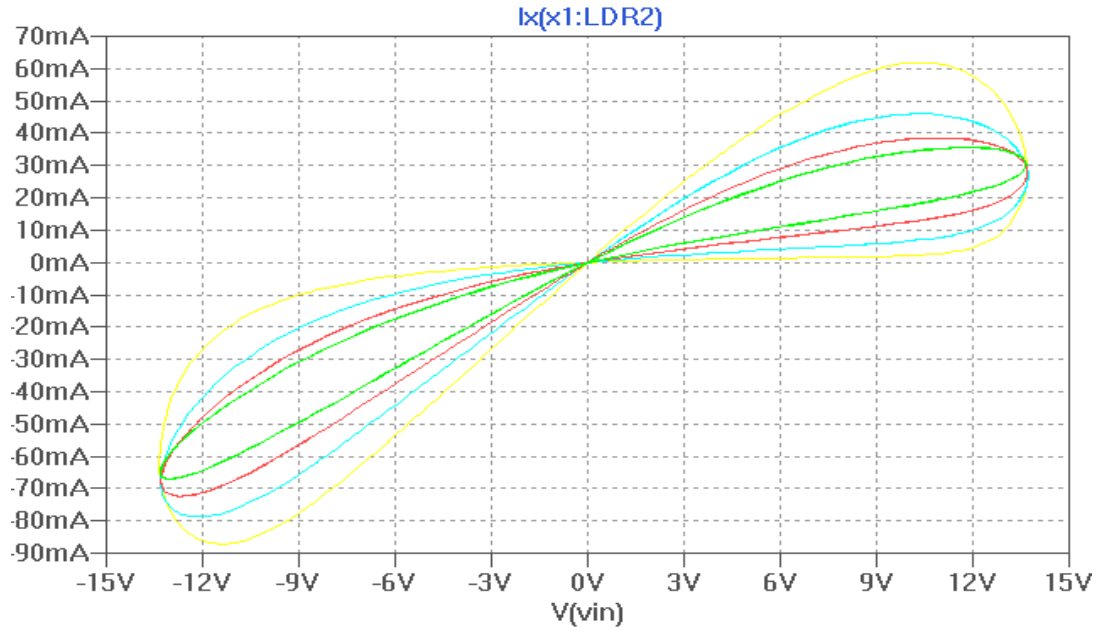



**Figura 27 Caratteristica V/I modello con LDR da 5Hz a 25 Hz passi da 5Hz 14V**

Per testare in frequenza il modello è necessario avere l'accortezza di far partire la registrazione dei dati dopo un periodo di assestamento dovuto alla carica del condensatore che si assesta dopo alcuni periodi e inserire un tempo di simulazione multipolo della più grande frequenza simulata per evitare troppi ricalchi. Anche in questo caso la simulazione è esplicativa del modello del memristore. Inoltre risulta ampliamente testabile, senza grossi interventi, per intervalli di tensioni e frequenze diversi che lo rendono molto appetibile ed è anche possibile limitarne la corrente con una resistenza in serie a quella dell'LDR. E' possibile creare un simbolo e utilizzare il memristore proprio come un componente mettendo lo stesso nome delle porte del simbolo con gli ingressi del circuito e chiamando simbolo e circuito allo stesso modo.

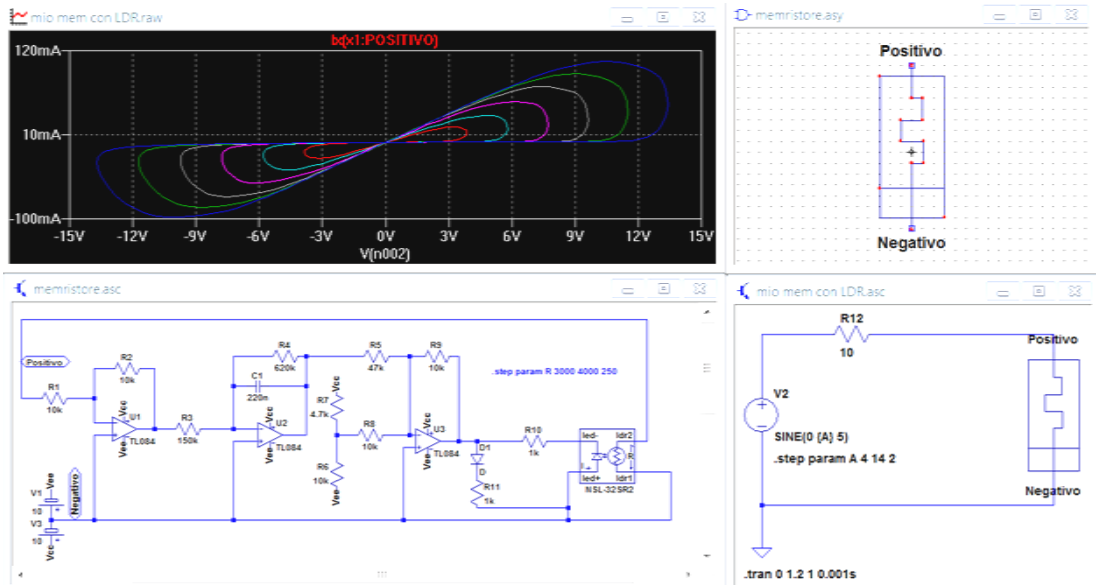



**Figura 28 Modello memristore completo come sottocircuito**

### 2.4.3 - AND OR memristive

Il memristore non smette di sorprendere.

Con delle semplici configurazioni è possibile ottenere una AND e una OR come è descritto in vari articoli. Tra i più completi (24) che descrive anche una combinazione con transistor in configurazione NOT sull'uscita per creare una NAND e una NOR, e una tesi veramente completa (25) che purtroppo è stata notata solo

quando è stato deciso di arricchire con questo sottoparagrafo l'elaborato. I risultati delle simulazioni sulle porte logiche sono nella figura sottostante ed è possibile creare anche un simbolo dedicato per rappresentarle in analogia a quanto fatto con il simbolo del memristore.

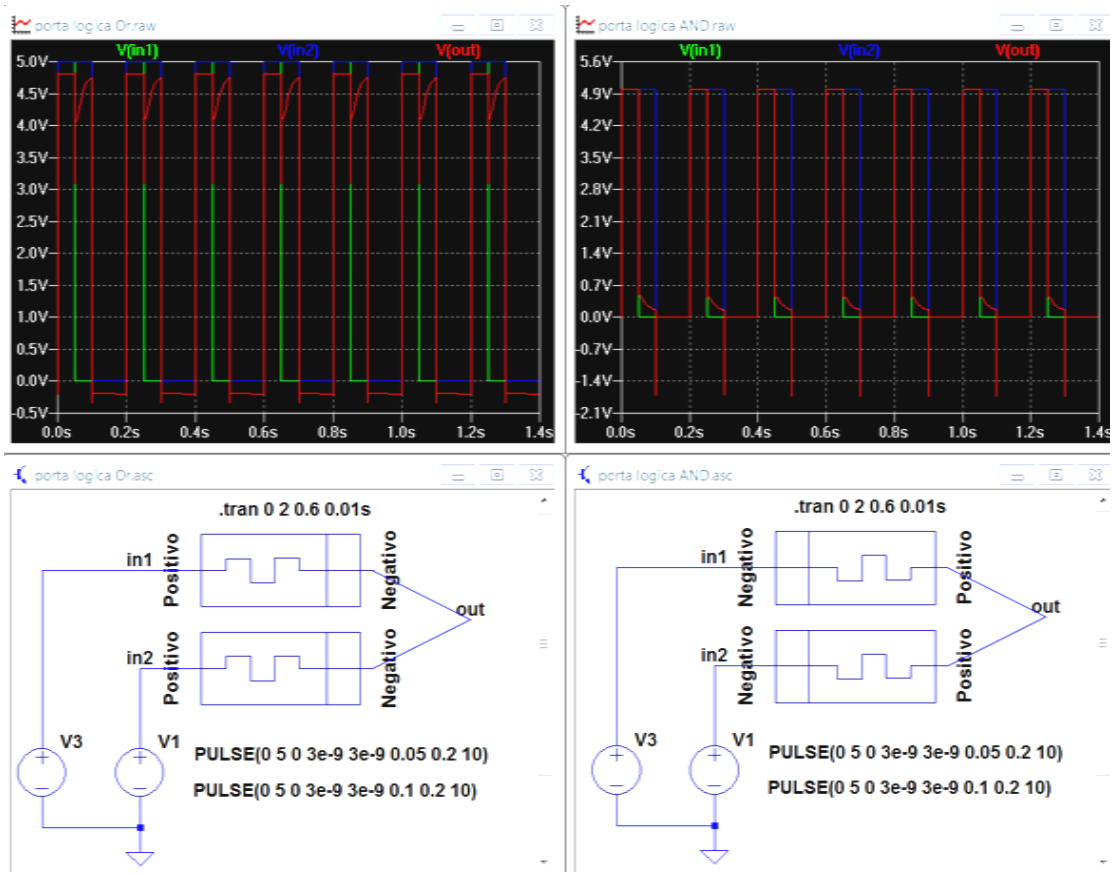



**Figura 29 Simulazioni porte logiche AND OR**

Il segnale ad onda quadra verde V(in1) ha lo stesso periodo di V(in2) in blu, ma con un Ton dimezzato andando a verificare le possibili configurazioni in una sola simulazione ricordando che i due modelli sono uguali e il cambio di V(in1) con V(in2) avrebbe gli stessi effetti. Per ottenere una le rispettive porte con più ingressi occorre solo aggiungere memristori in parallelo mantenendo il rispettivo verso. Inoltre la simulazione è stata fatta partire da 0.6s per evitare forme d'onda per 2-3 periodi iniziali lievemente differenti e anche con 1V si ottengono gli stessi risultati analoghi. I picchi sull'uscita relativi al cambiamento in realtà dovrebbero non verificarsi in analogia ad altri picchi su altri circuiti testati.

### 2.4.4 - Macromodello

Un altro modello interessante (26) soprattutto per analizzare il comportamento di porte logiche, e che risulta applicabile anche a frequenze grandi, ma che non consente una grande variazione di ampiezza di tensione, è rappresentato dallo schema sotto:

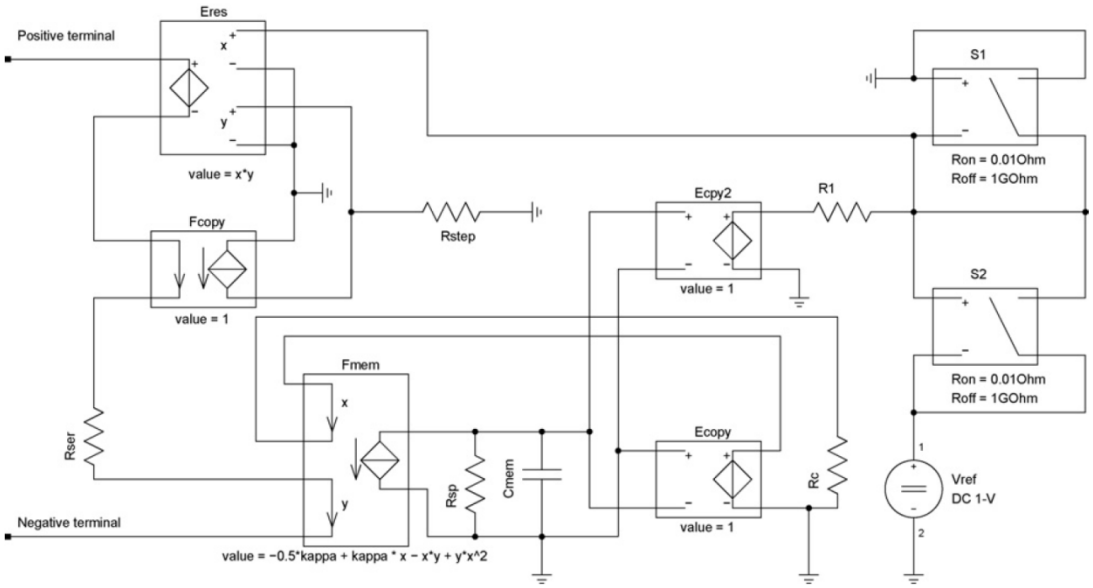



**Figura 30 Macromodello di memristore tratto da (26)**

Che può essere ridotto a sottocircuito e simulato come fosse un oggetto di terze parti, ma che non si discosta da essere un memristore controllato da una capacità che integra e interruttori che la fanno scaricare e caricare.

Questo modello ha però la necessità di avere un riferimento di tensione continua posto esterno al modello per aggiustamenti dei livelli di offset iniziale.

Anche se potrebbe essere integrato nel modello del sottocircuito è preferibile averlo esterno per aggiustamenti nel caso in cui ce ne sia la necessità.

Uno dei modi di simulare un sottocircuito, avendo a disposizione il modello caratterizzato da .subckt nome 1 2..n, è quello di creare un disegno e assegnare alle porte i nomi degli ingressi che sono scritti dopo il nome nella prima riga del modello.

Successivamente è necessario aprire l'istanza creata e assegnare all'attributo Prefix la lettera X, come è presente in tutti i sottocircuiti tipo operazionali in LTspice, e incollare come direttiva tutto il modello che deve terminare in .END o .ENDS come è possibile vedere dalla immagine.

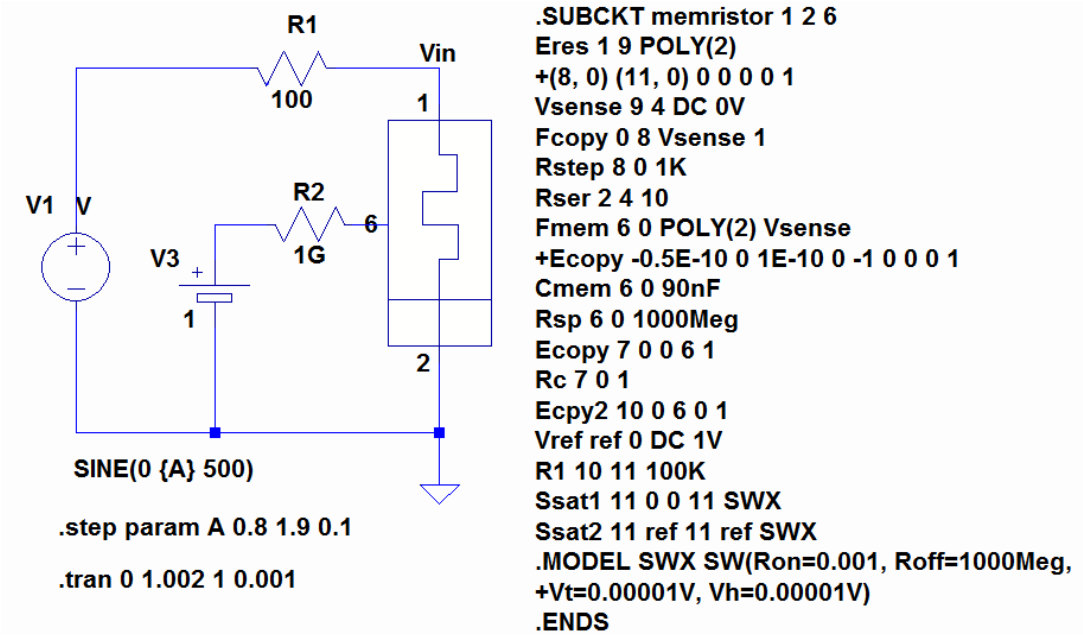



**Figura 31 Macromodello Memristore con sottocircuito**

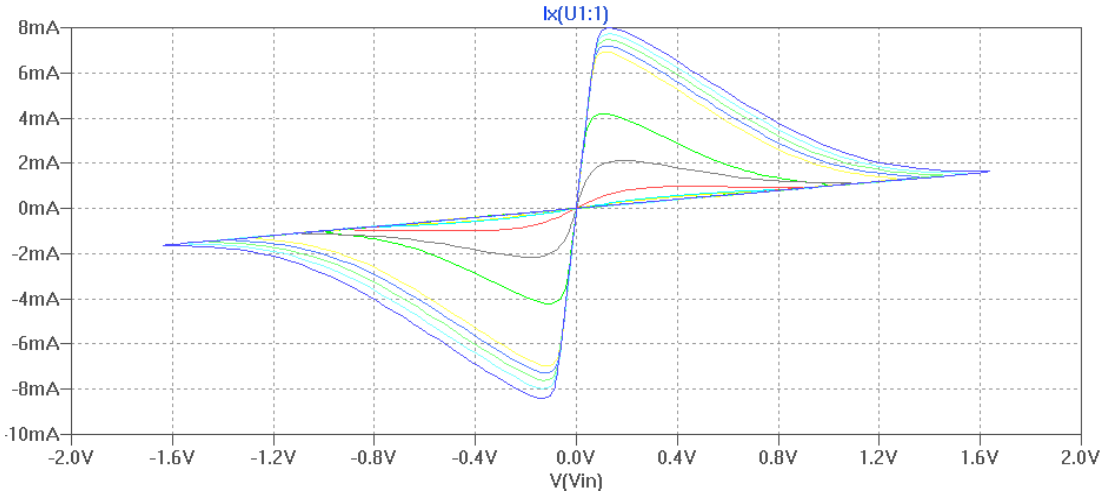



**Figura 32 Simulazione macromodello V/I da 0.8V a 1.6V passi 0.1V 500Hz**

La simulazione del modello per valori superiori ad 1V risulta estremamente concentrata in piccoli intervalli anche se la caratteristica presenta una ottima differenziazione tra lo stato in conduzione e interdizione del bipolo che potrebbero

risultare ottimi ai fini di simulazione di porte logiche. Anche in questo caso la simulazione è stata fatta partire dopo un secondo andando a misurare un solo periodo per mostrare solo il regime stazionario della caratteristica.

## 2.5 - Applicazioni

Essendo un componente elementare, il memristore, potrebbe presto raggiungere le nostre case migliorando tanti dei dispositivi elettronici che utilizziamo abitualmente. Infatti in molti articoli e riviste si parla della "rivoluzione del memristore" e di quanto potrebbero migliorare ampliamente le prestazioni della tecnologia (28).

### 2.5.1 - Memorie

Per ottenere una memoria è necessario cercare un fenomeno che può essere variato a piacimento(scrittura) ed anche misurato a piacimento (lettura). In pochi anni è stato possibile vedere l'evoluzione delle memorie che inizialmente erano dei pezzi di carta forati, e nei quali era immagazzinata l'informazione. Dopo essere passati ai nastri magnetici analogici, dischi magnetici digitali (floppy), dischi ottico magnetici, ottici e ottici multistrato che si degradano nel tempo o con le disattenzioni e risultano più lente, è preferibile salvare dati su memorie flash(usb disk), che derivano dal filone delle memorie a stato solido e la cui commercializzazione è avvenuta di recente grazie alle migliorie dei processi produttivi in analogia a quanto detto in 2.2. La cella di memoria elementare di queste ultime, attualmente è composta da porte logiche per le memorie fisse e riscrivibili chiamate flash oppure, migliorandone di gran lunga i tempi di accesso in scrittura e lettura (1,7 Gbit/s nelle ddr3), con condensatori nanometrici chiamate DRAM e sono utilizzate nei calcolatori come memoria di supporto per la CPU che lavora a frequenze elevate. In elettronica si usano spesso stratagemmi circuitali per ovviare a difetti di produzione intrinseci di molti dispositivi o dei fenomeni fisici che li caratterizzano. Infatti nelle celle di memorie RAM si fa' un refresh dato che i condensatori che le compongono hanno dei valori di resistenza parassite parallelo che generalmente in $5\tau=RC$ si scaricano arricchendo la complessità circuitale per gestirle.

In queste celle, dunque, sarà possibile utilizzare memristori al posto dei condensatori il cui valore di resistenza in analogia alla carica del condensatore sarà memorizzato come stato logico e non necessiteranno di refresh semplificandone la struttura circuitale e quindi aumentandone l'integrazione, anche se non è possibile sapere i parametri parassiti che governeranno tali dispositivi, surclassando le ricerche di altri produttori in tecnologie con l'analogo scopo tipo FeRam (Ferromagnetiche) e PCM a variazione di fase (29). In accordo con quanto detto è possibile trovare informazioni (16) (28) (29) (30) che descrivono un'integrazione di almeno 5-6 volte quella delle memorie attuali per pollice quadrato, nel particolare di 20Gb, senza decadimenti supportando 10 volte i cicli di quelle attuali (1 milione di cicli contro 100 mila), aumentandone l'affidabilità e la velocità in scrittura e lettura.

Per quanto riguarda le memorie flash che sono realizzate sulla base di un array di transistor floating gate mosfet, le informazioni sono contenute in una struttura di porte logiche NAND attualmente(NOR negli anni passati). Potranno pertanto essere sostituite con array di memristori ReRam o strutture NAND equivalenti (31) fatte da memristori occupando meno spazio e quindi risultando meno costose e, in analogia a quanto detto per le ReRam, aumentandone la velocità, i cicli operativi, e il tempo di immagazzinamento mandando in disuso gli attuali hard disk meccanici soggetti a rotture e perdite dati.

Hynix e Hp hanno già stretto un accordo per la realizzazione di memorie ReRam che dovrebbero essere commercializzate in questo anno.

### 2.5.2 - Sinapsi artificiali

Come detto in precedenza i memristori potrebbero svolgere egregiamente il ruolo delle sinapsi artificiali in spazi contenuti, risultando significativi per le reti neurali artificiali hardware. Infatti attualmente si simulano con programmi e calcolatori le reti neurali con un dispendio ampio in termini energetici e con non poche difficoltà di integrare in molti dispositivi portatili la rete neurale. Si trovano riferimenti espliciti in molti articoli e varie simulazioni di reti neurali a memristore, ma dato che non esiste un prodotto "finito" ancora non sono sorti i primi integrati dedicati con reti

neurali a memristore con lo scopo di farle apprendere e poterle integrare per semplici compiti in analogia alle applicazioni delle reti neurali descritte in precedenza.

### 2.5.3 - CPU e non binario

Se fosse possibile ricreare gran parte delle celle logiche elementari con memristori, diminuendo i tempi di accesso, aumentando i cicli operativi e diminuendone gli ingombri potrebbero anche essere utilizzati all'interno delle CPU. Tali CPU porterebbero in dote 2 Gb di cache (30) a parità di dimensioni, abbassando il costo inizialmente (la cache occupa lo spazio maggiore nella CPU) e aumentandone la complessità e l'elaborazione in futuro consentendo il proseguimento della retta di Moore (32) per diversi anni a venire. Inoltre la scelta legata alla difficoltà di interpretazione del livello logico restituita dalla funzione di trasferimento che governa la porta logica elementare NOT nei transistor MOS (33) non avrebbe senso di esistere. Anche se per un cambio di struttura, alfabetizzazione dei simboli ecc.., dal binario ad un'altro sistema diverso in futuro, occorre molto tempo, si avrebbero celle di memoria le cui informazioni non sarebbero solo di 1bit, ma sarebbero date dal livello di resistenza memristiva e dal sistema adottato in accordo a non confondere gli stati memristivi e quindi i livelli logici contenendo più informazione di quelle attuali.

# Conclusioni e sviluppi futuri

Questa relazione ha fornito i concetti basilari di rete neurale biologica e artificiale con lo studio dei relativi modelli matematici e mostrando anche alcuni algoritmi per l'apprendimento dei collegamenti, le sinapsi artificiali, evidenziandone le analogie con le reti biologiche dalle quali sono ispirate.

Ha fornito una panoramica storica per comprendere al meglio gli sviluppi, e gli sviluppi futuri, soprattutto in riferimento al memristore reale, descrivendone il funzionamento e le analogie con le sinapsi artificiali, le quali possono modificare i propri valori e risultare essenziali nei prossimi sistemi neurali artificiali in scala nanometrica e di conseguenza essere integrate per una vasta gamma di applicazioni.

Tra le varie applicazioni future potranno essere impiegati nei calcolatori per la realizzazione di ReRam, che in definitiva diventeranno non volatili e senza refresh aumentandone i cicli operativi, l'affidabilità, la quantità e i tempi di accesso per dialogare con maggiore efficienza con la CPU che potrà essere costituita anch'essa con porte logiche di memristori dissipando meno energia e con più cache. A breve sarà inoltre possibile ibernare il calcolatore senza salvare i dati delle ram su disco fisso e riprendere il lavoro più rapidamente di quanto accade attualmente, anche se in realtà potrebbe fondersi il concetto di hard disc con quello di Ram utilizzando lo spazio senza dati come RAM o meglio ReRam e gettando le basi di una rivoluzione elettronica.

In analogia al memristore potrebbero, in futuro, sorgere altri componenti come la memduttanza e il memdensatore, dando spazio a originali circuiti elettronici con il conseguente slancio alla progettazione di nuovi dispositivi e perché no, integrandone un po' di intelligenza artificiale che migliora l'efficienza e l'utilizzo, soprattutto in molti dei dispositivi che siamo abituati ad adoperare quotidianamente e aiutando i progettisti, assieme allo sviluppo di tutte le radici fondamentali della scienza, a ricreare l'unità elaborativa e di memoria per eccellenza e attualmente senza paragone: il cervello.

# Bibliografia

1. **Pitts, W.S. McCulloch e Walter.** *A logical calculus of the ideas immanent in nervous activity.* 1943.

2. **Hebb, Donald O.** *The organization of behavior.* Canada : s.n., 1949.

3. **Ghirlanda, Stefano.** *Appunti di elementi di storia della spicologia "Connessionismo e reti neurali ".* Bologna : s.n., 2004.

4. **Venezuela", Daniel Crespin Facultad de ciencias "Universidad Central De.** *Generalized Backpropagation.* Caracas : s.n., 1995/1996.

5. **Luchetta, Antonio.** *Appunti del corso "Complementi di elettrotecnica".* 2012/2013.

6. **Standford, Università di.** http://www.youtube.com/watch?feature=player_embedded&v=Ii4Mbd36K_M. [Online]

7. **Olufsen, Mette Sofie.** *The FitzHugh-Nagumo Model.* s.l. : North Carolina State University dipartimento di matematica, http://www4.ncsu.edu/~msolufse/Lecture6.PDF.

8. **Genesio, Roberto.** *Appunti del corso "Sistemi Dinamici Non Lineari".* Firenze : s.n., 2012/2013.

9. **Squillero, E. Piccolo G.** *Appunti del corso "Apprendimento Mimetico".* Centro di scienza cognitiva Politecnico di Torino : http://areeweb.polito.it/didattica/gcia/Apprendimento_Mimetico/Lucidi/Lucidi_Reti_Neurali2.pdf, 2011/2012.

10. **Umiltà, Carlo.** *Il cervello, la macchina della mente.* Professore di Neuropsicologia Università di Padova : Il mulino, 2009. Vol. 185.

11. **Molinari, Elena.** *Tesi di laurea "Data minig e reti neurali".* Varese : Università degli studi dell'insubria, 2006/2007.

12. **Gambao, E.** *Appunti del corso "Micro y nonorobots" Master in robotica.* Madrid : Università politecnica de Madrid, 2012/2013.

13. **Kerur, Ketaki.** *The fourth circuit element.* Kansas State University : s.n., 2010.

14. **IEEE.** IEEE Global History Network. [Online] http://www.ieeeghn.org/wiki/index.php/Memristor.

15. *The missing memristor found.* **Dmitri B. Strukov, Gregory S. Snider, Duncan R. Stewart, R. Stanley Williams1.** California : Nature, 2008.

16. **Annunziata, Luca.** Memoria del futuro memristore. *Punto informatico.* [Online] 5 Maggio 2008. http://punto-informatico.it/2273639/PI/News/memoria-del-futuro-memristore.aspx.

17. *Memristive Analog Arithmetic within Cellular.* **Mika Laiho, Eero Lehtonen, Wei Lu.** Michigan University & University of Turku : s.n.

18. *Memristor- CMOS Hybrid Integrated Cicuits for Reconfigurable Logic.* **Qiangfei Xia, Warren Robinett, Michael W. Cumbie, Neel Banerjee, Thomas J. Cardinali, J. Joshua Yang, Wei Wu, Xuema Li, William M. Tong,Dmitri B. Strukov, Gregory S. Snider, Gilberto Medeiros-Ribeiro, and R. Stanley Williams.** s.l. : NanoLetters, 2009. 3640–3645.

19. *Nanoscale Devices and Materials for Neuromorphic Architectures.* **Kurtis Cantley, Anand Subramaniam, Eric M. Vogel.** Texas, UT Dallas : Erik Jonsson School of Engineering & Computer Science.

20. **HP.** [Online] 2001. http://en.wikipedia.org/wiki/Crossbar_latch.

21. *Memristor for introductory physics.* **Wang, Frank Y.** The city University of New York, Long Island City : http://arxiv.org/pdf/0808.0286v1.pdf, 2008 4 agosto.

22. **Juraj Valsa, Dalibor Biolek, Zdenek Biolek.** *An analogue model of the memristor.* Czech Republic : s.n., 2010.

23. **A.L. Fitch, H.H.C. Iu, X.Y.Wang.** *Realization of an Analog Model of Memristor Based.*

24. **Shahar Kvatinsky, Nimrod Wald, Guy Satat, Avinoam Kolodny, Uri C. Weiser.** *MRL-Memristor Ratioed Logic.*

25. **Kavehei, Omid.** *Memristive Devices and Circuits for Computing, Memory, and Neuromorphic Application.* Adelaide, Australia : s.n., 2011.

26. **Adam Rak, Gyorgy Cserey.** *Macromodeling of the Memristor in SPICE.* 2010.

27. **Sangho Shin, Kyungmin Kim, Sung-Mo Kang.** *Compact Models for Memristors Based on Charge–Flux Constitutive Relationships.* s.l. : IEEE, 2010.

28. **lab), Stan William (HP.** [Online] 18 Maggio 2011. http://hardware.hdblog.it/2011/05/18/memristori-piu-veloci-di-dram-e-flash/.

29. **Marruccia, Alfonso.** 2013 L'alba dei memristori viventi. [Online] 1 Settembre 2010. http://punto-informatico.it/2979395/PI/News/2013-alba-dei-memristori-viventi.aspx.

30. **Agostini, Manolo De.** CPU con 2 GB di memoria per core, miracolo ReRAM. *tom's Hardware.* [Online] 10 ottobre 2011. http://www.tomshw.it/cont/news/cpu-con-2-gb-di-memoria-per-core-miracolo-reram/33847/1.html.

31. **Yiran Chen, Hai Li, Xiaobin Wang.** *Spintronic Devices: from Memory to Memristor.* NY USA : IEEE.

32. The Memristor: Moore’s Law Gets a Jolt. *the refined geek.* [Online] 10 ottobre 2011. http://www.therefinedgeek.com.au/index.php/2011/10/10/the-memristor-moores-law-gets-a-jolt/.

33. **Gianfranco, Manes.** *Appunti del corso"Elettronica genereale".* Firenze : s.n., 2009.